

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-200908

(43)Date of publication of application : 18.07.2000

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-205063

(71)Applicant : MATSUSHITA ELECTRONICS  
INDUSTRY CORP

(22)Date of filing : 19.07.1999

(72)Inventor : HIBI NORITAKA  
HAYAMA KAZUO

(30)Priority

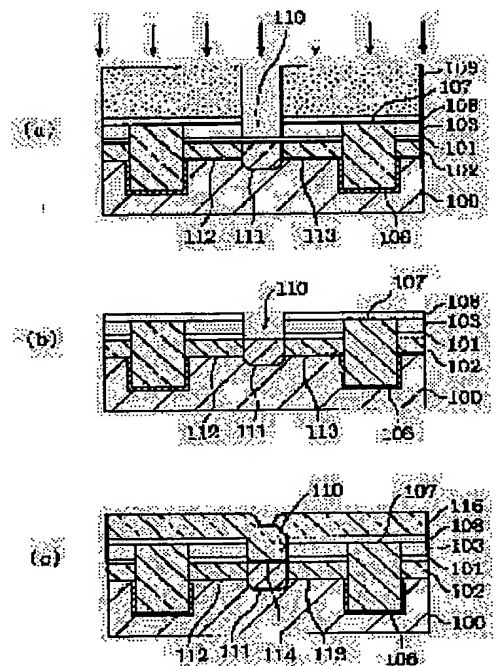
Priority number : 10303911    Priority date : 26.10.1998    Priority country : JP

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To make thin a gate insulating film, without damaging the reliability of a gate insulating film, and to form a gate electrode whose aspect ratio is high.

**SOLUTION:** A first insulating film 101 and an (n)-type impurity layer 102 are formed at the surface part of a (p)-type silicon substrate 100, and then a second insulating film 103 and a third insulating film 108 are accumulated. Afterwards, the insulating film is etched so that a recessed groove 110 is formed. A second (p)-type impurity layer 111 is formed in the lower region of the recessed groove 110 so that the (n) type impurity layer 102 can be divided, and a source area 112 and a drain region 113 are formed. The upper part of the second (p)-type impurity layer 111 in the first insulating film 101 is removed, and then a gate insulating film 114 is formed on the second (p)-type impurity layer 111, and a conductive film 115 which is a gate electrode is embedded in the recessed groove 110.



## LEGAL STATUS

[Date of request for examination]

06.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3295393

BEST AVAILABLE COPY

[Date of registration]

05.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The process which forms the impurity layer of the 1st conductivity type in the surface section of a semi-conductor substrate, and the process in a gate electrode formation field which removes said insulator layer at least and forms a concave slot after depositing an insulator layer on said semi-conductor substrate, The manufacture approach of the semiconductor device characterized by having the process which forms gate dielectric film on the front face of said semi-conductor substrate exposed to said concave Mizouchi, and the process which forms a gate electrode by embedding the electric conduction film in said concave slot.

[Claim 2] The manufacture approach of the semiconductor device according to claim 1 characterized by equipping the lower part field of the base of said concave slot with the process which forms the impurity layer of the 2nd conductivity type so that the impurity layer of said 1st conductivity type may be divided between the process which forms said concave slot, and the process which forms said gate dielectric film.

[Claim 3] The process which forms said gate electrode is the manufacture approach of the semiconductor device according to claim 1 characterized by including the process which forms said gate electrode so that the top face of this gate electrode and the top face of said insulator layer may become flat almost flat-tapped the process which deposits the electric conduction film on said insulator layer including said concave slot, and by removing said electric conduction film deposited on said insulator layer.

[Claim 4] The process which forms said concave slot including the process which forms said concave slot so that the base may be located in the impurity layer of said 1st conductivity type between the process which forms said concave slot, and the process which forms said gate dielectric film The manufacture approach of the semiconductor device according to claim 1 characterized by having the process which forms the impurity layer of the 2nd conductivity type in the lower part field of the base of said concave slot so that the impurity layer of said 1st conductivity type may be divided.

[Claim 5] The manufacture approach of the semiconductor device according to claim 4 characterized by having the process which forms an insulating sidewall in the wall surface of said concave slot between the process which forms said concave slot, and the process which forms said gate dielectric film.

[Claim 6] Between the process which forms said concave slot, and the process which forms said sidewall It has the process which forms the low concentration impurity layer of the 1st conductivity type with high impurity concentration lower than the impurity layer of said 1st conductivity type in the surface section of said semi-conductor substrate of said concave Mizouchi. Between the process which forms said sidewall, and the process which forms said gate dielectric film The manufacture approach of the semiconductor device according to claim 5 characterized by having the process which forms the impurity layer of said 2nd conductivity type in the lower part field of the part surrounded by said sidewall in the base of said concave slot so that the low concentration impurity layer of said 1st conductivity type may be divided.

[Claim 7] The process which forms said concave slot is the manufacture approach of the semiconductor device according to claim 1 characterized by including the process which forms said concave slot so

that the base may be located below the impurity layer of said 1st conductivity type.

[Claim 8] The manufacture approach of the semiconductor device according to claim 7 characterized by having the process which forms an insulating sidewall in the wall surface of said concave slot between the process which forms said concave slot, and the process which forms said gate dielectric film.

[Claim 9] Between the process which forms said concave slot, and the process which forms said gate dielectric film The process which forms the low concentration impurity layer of the 1st conductivity type with high impurity concentration lower than the impurity layer of said 1st conductivity type in the surface section of said semi-conductor substrate of said concave Mizouchi so that it may connect with the impurity layer of said 1st conductivity type, The manufacture approach of the semiconductor device according to claim 7 characterized by having the process which forms the impurity layer of the 2nd conductivity type so that the low concentration impurity layer of said 1st conductivity type may be divided.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Field of the Invention]** This invention relates to the manufacture approach of a semiconductor device of having metal-oxide-semiconductor structure.

**[0002]**

**[Description of the Prior Art]** As a result of high integration of a semiconductor device progressing in recent years, as for each component which constitutes a semiconductor device, it came to have the hyperfine structure. On the other hand, the much more rapidity and high-reliability are demanded about actuation of a semiconductor device.

**[0003]** While the semiconductor device which has metal-oxide-semiconductor structure is used for more various electronic equipment than before, it continues to count upon amplification of an application increasingly.

**[0004]** Hereafter, the formation approach of the gate electrode of a MOS transistor is explained to the manufacture approach of the conventional semiconductor device, and a concrete target, referring to drawing 23 (a) and (b).

**[0005]** first, as shown in drawing 23 (a), the transistor formation field 11 on a silicon substrate 10 is surrounded — as — LOCOS — after forming field oxide 12 by law, silicon oxide 13 is formed on a silicon substrate 10 by oxidizing thermally the front face of a silicon substrate 10. Next, after forming a resist pattern on this polish recon film, etching to the polish recon film after that by using this resist pattern as a mask, after depositing the polish recon film which covers the whole surface and contains an impurity with a CVD method on a silicon substrate 10, and forming the gate electrode 14, the source field 15 and the drain field 16 are formed.

**[0006]** Next, as shown in drawing 23 (b), after forming gate dielectric film 17 by removing the part exposed from the gate electrode 14 in silicon oxide 13, on a silicon substrate 10, the whole surface is covered, and flattening of the insulator layer 18 is deposited and carried out. Next, after forming in the gate electrode 14, the source field 15, and the drain field 16 the contact holes 19, 20, and 21 which pass, respectively, a conductive ingredient is deposited on the interior and the upper part of contact holes 19, 20, and 21, and the electrode layers 22, 23, and 24 linked to the gate electrode 14, the source field 15, and the drain field 16 are formed in an insulator layer 18.

**[0007]** As explained above, when etching to the conductive film and forming the gate electrode 14 in the manufacture approach of the conventional semiconductor device, silicon oxide 13 is used as an etching stopper.

**[0008]**

**[Problem(s) to be Solved by the Invention]** However, since even gate dielectric film will be removed with the conductive film which should be removed when patterning formation of the gate electrode is carried out by using the insulating film used as gate dielectric film as an etching stopper if it puts in another way when the manufacture approach of the conventional semiconductor device is used in order to tend to thin-film-ize the gate dielectric film of a MOS transistor with high integration of a semiconductor device, there is a problem that the dependability of gate dielectric film falls.

[0009] Moreover, since the amount of etching to the conductive film will increase if thickness of a gate electrode is thickened (i.e., if the aspect ratio (thickness/gate width of a gate electrode) of a gate electrode is made high) while it is necessary to thicken thickness of a gate electrode and to form a gate electrode into low resistance, in order to accelerate actuation of the semiconductor device which has metal-oxide-semiconductor structure, it becomes difficult to terminate etching certainly on the top face of the insulating film used as gate dielectric film. For this reason, since it cannot make the aspect ratio of a gate electrode high in thin-film-izing gate dielectric film, there is a problem of stopping being able to carry out [ low \*\*\*\* ]-izing of the gate electrode. Furthermore, since the aspect ratio of the contact hole for connecting the impurity diffused layer, i.e., the source field, or drain field formed in the semiconductor substrate, and a wiring layer also becomes high in making the aspect ratio of a gate electrode high, it will become difficult to perform certainly embedding of formation of a contact hole and the conductive ingredient to a contact hole, and the dependability of a semiconductor device will fall.

[0010] In view of the above, this invention aims at enabling it to form the high gate electrode of an aspect ratio while it can be [ thin film ] made to carry out-izing of the gate dielectric film, without spoiling the dependability of gate dielectric film.

[0011]

[Means for Solving the Problem] In order to attain the aforementioned object, the manufacture approach of the semiconductor device concerning this invention The process which forms the impurity layer of the 1st conductivity type in the surface section of a semi-conductor substrate, and the process in a gate electrode formation field which removes an insulator layer at least and forms a concave slot after depositing an insulator layer on a semi-conductor substrate, It has the process which forms gate dielectric film on the front face of the semi-conductor substrate exposed to concave Mizouchi, and the process which forms a gate electrode by embedding the electric conduction film in a concave slot.

[0012] Since according to the manufacture approach of the semiconductor device of this invention a gate electrode is formed by embedding the electric conduction film in a concave slot after forming gate dielectric film on the front face of the semi-conductor substrate exposed to concave Mizouchi formed on the semi-conductor substrate and a gate electrode can be formed, without using gate dielectric film as an etching stopper, when forming a gate electrode, the situation where gate dielectric film receives breakage can be prevented. Therefore, while being able to carry out [ thin film ]-izing of the gate dielectric film, without spoiling the dependability of gate dielectric film, also when gate dielectric film is thin-film-ized, the high gate electrode of an aspect ratio can be formed.

[0013] In the manufacture approach of the semiconductor device of this invention, it is desirable to equip the lower part field of the base of a concave slot with the process which forms the impurity layer of the 2nd conductivity type so that the impurity layer of the 1st conductivity type may be divided between the process which forms a concave slot, and the process which forms gate dielectric film.

[0014] If it does in this way, since the source field or drain field which consists of an impurity layer of the 1st conductivity type divided by the impurity layer of the 2nd conductivity type is formed and channel formation is controllable by impressing an electrical potential difference to the gate electrode formed on the impurity layer of the 2nd conductivity type, the dependability of a semiconductor device improves.

[0015] As for the process which forms a gate electrode in the manufacture approach of the semiconductor device of this invention, it is desirable to include the process which forms a gate electrode so that the top face of this gate electrode and the top face of an insulator layer may become flat almost flat-tapped the process which deposits the electric conduction film on an insulator layer including a concave slot, and by removing the electric conduction film deposited on the insulator layer.

[0016] If it does in this way, since flattening of the top face of an insulator layer which serves as a substrate in a next process can be carried out when forming a gate electrode and the upper wiring or a component can be formed on an insulator layer including a gate electrode top, without performing a flat chemically-modified [ new ] degree, the structure of a semiconductor device can be multilayered easily.

[0017] As for the process which forms a concave slot in the manufacture approach of the

semiconductor device of this invention, it is desirable to equip the lower part field of the base of a concave slot with the process which forms the impurity layer of the 2nd conductivity type so that the impurity layer of the 1st conductivity type may be divided between the process which forms a concave slot including the process which forms a concave slot so that the base may be located in the impurity layer of the 1st conductivity type, and the process which forms gate dielectric film.

[0018] If it does in this way, since the lower part of a gate electrode can be formed below the front face of a semi-conductor substrate, compared with the case where the whole gate electrode is formed above the front face of a semi-conductor substrate, the aspect ratio of the contact hole for the object for the sources or drains can be made low. For this reason, since embedding of formation of the contact hole for the object for the sources or drains or the conductive ingredient to this contact hole can be performed certainly, the dependability of a semiconductor device improves. Moreover, since the source field or drain field which consists of an impurity layer of the 1st conductivity type divided by the impurity layer of the 2nd conductivity type is formed and channel formation is controllable by impressing an electrical potential difference to the gate electrode formed on the impurity layer of the 2nd conductivity type, the dependability of a semiconductor device improves.

[0019] When forming a concave slot so that the base may be located in the impurity layer of the 1st conductivity type, it is desirable to equip the wall surface of a concave slot with the process which forms an insulating sidewall between the process which forms a concave slot, and the process which forms gate dielectric film.

[0020] If it does in this way, since the insulation between a source field or a drain field, and a gate electrode will improve, the dependability of a semiconductor device improves.

[0021] When forming a sidewall, between the process which forms a concave slot, and the process which forms a sidewall Between the process which equips the surface section of concave Mizouchi's semi-conductor substrate with the process which forms the low concentration impurity layer of the 1st conductivity type with high impurity concentration lower than the impurity layer of the 1st conductivity type, and forms a sidewall in it, and the process which forms gate dielectric film It is desirable to have the process which forms the impurity layer of the 2nd conductivity type in the lower part field of the part surrounded by the sidewall in the base of a concave slot so that the low concentration impurity layer of the 1st conductivity type may be divided.

[0022] If it does in this way, since the low concentration impurity layer of the 1st conductivity type divided by the impurity layer of the 2nd conductivity type is formed between a source field or a drain field, and the impurity layer of the 2nd conductivity type and field strength generated when an electrical potential difference is impressed between a source field and a drain field can be made small, the dependability of a semiconductor device improves.

[0023] As for the process which forms a concave slot, in the manufacture approach of the semiconductor device of this invention, it is desirable to include the process which forms a concave slot so that the base may be located below the impurity layer of the 1st conductivity type.

[0024] If it does in this way, since the lower part of a gate electrode can be formed below the front face of a semi-conductor substrate, compared with the case where the whole gate electrode is formed above the front face of a semi-conductor substrate, the aspect ratio of the contact hole for the object for the sources or drains can be made low. For this reason, since embedding of formation of the contact hole for the object for the sources or drains or the conductive ingredient to this contact hole can be performed certainly, the dependability of a semiconductor device improves. Moreover, since the source field or drain field which consists of an impurity layer of the 1st conductivity type divided by the concave slot is formed and channel formation is controllable by impressing an electrical potential difference to the gate electrode formed in a concave slot, the dependability of a semiconductor device improves.

[0025] When the base of a concave slot is located below the impurity layer of the 1st conductivity type, it is desirable to equip the wall surface of a concave slot with the process which forms an insulating sidewall between the process which forms a concave slot, and the process which forms gate dielectric

film.

[0026] If it does in this way, since the insulation between a source field or a drain field, and a gate electrode will improve, the dependability of a semiconductor device improves.

[0027] When the base of a concave slot is located below the impurity layer of the 1st conductivity type, between the process which forms a concave slot, and the process which forms gate dielectric film The process which forms the low concentration impurity layer of the 1st conductivity type with high impurity concentration lower than the impurity layer of the 1st conductivity type in the surface section of concave Mizouchi's semi-conductor substrate so that it may connect with the impurity layer of the 1st conductivity type, It is desirable to have the process which forms the impurity layer of the 2nd conductivity type so that the low concentration impurity layer of the 1st conductivity type may be divided.

[0028] If it does in this way, since the low concentration impurity layer of the 1st conductivity type divided by the impurity layer of the 2nd conductivity type is formed between a source field or a drain field, and the impurity layer of the 2nd conductivity type and field strength generated when an electrical potential difference is impressed between a source field and a drain field can be made small, the dependability of a semiconductor device improves.

[0029]

[Embodiment of the Invention] (1st operation gestalt) The manufacture approach of the semiconductor device concerning the 1st operation gestalt of this invention is explained hereafter, referring to drawing 1 (a) – (c), drawing 2 (a) – (c) drawing 3 (a) – (c) and drawing 4 (a) – (c) and drawing 5 (a), and (b).

[0030] First, as shown in drawing 1 (a), after forming the 1st insulator layer 101 which consists of silicon oxide by the oxidizing [ thermally ] method, n mold impurity layer 102 is formed on the p type silicon substrate 100 at the 1st insulator layer 101 bottom in the p type silicon substrate 100 by carrying out the ion implantation of the n mold impurity to the p type silicon substrate 100 by using the 1st insulator layer 101 as a protective coat.

[0031] Next, as shown in drawing 1 (b), after depositing the 2nd insulator layer 103 which consists of a silicon nitride with a CVD method, the 1st resist pattern 104 which has opening to an isolation formation field by the photolithography on the 2nd insulator layer 103 is formed on the 1st insulator layer 101. The insulator layer which has etch selectivity to the 1st insulator layer 101 as the 2nd insulator layer 103 is used.

[0032] Next, by etching to the 2nd insulator layer 103, 1st insulator layer 101, and p type silicon substrate 100, respectively by using the 1st resist pattern 104 as a mask, as shown in drawing 1 (c) By carrying out the ion implantation of the p mold impurity to the p type silicon substrate 100 by using the 1st resist pattern 104 as a mask, after forming the isolation slot 105 in the p type silicon substrate 100 1st p mold impurity layer 106 is formed in the surface section of the p type silicon substrate 100 in the isolation slot 105.

[0033] Next, after removing the 1st resist pattern 104, it continues on the 2nd insulator layer 103 including the isolation slot 105 on the whole surface. After that the aforementioned silicon oxide which deposited silicon oxide with the CVD method and was deposited on the 2nd insulator layer 103 for example, for example, by removing by the CMP method As shown in drawing 2 (a), the component isolation region 107 is formed so that the top face of this component isolation region 107 and the top face of the 2nd insulator layer 103 may become flat almost flat-tapped.

[0034] Next, as shown in drawing 2 (b), the 3rd insulator layer 108 which continues on the whole surface on the 2nd insulator layer 103 including the component isolation region 107 top, for example, consists of a silicon nitride with a CVD method is deposited. The insulator layer which has etch selectivity to the 1st insulator layer 101 as the 3rd insulator layer 108 is used.

[0035] Next, as shown in drawing 2 (c), after forming the 2nd resist pattern 109 which has opening to a gate electrode formation field by the photolithography on the 3rd insulator layer 108, it etches to the 3rd insulator layer 108 and 2nd insulator layer 103, respectively by using the 2nd resist pattern 109 as a mask, and the concave slot 110 is formed in the 2nd insulator layer 103 and 3rd insulator layer 108.



[0036] Next, by carrying out the ion implantation of the p mold impurity to the p type silicon substrate 100 by using the 2nd resist pattern 109 as a mask, as shown in drawing 3 (a), 2nd p mold impurity layer 111 is formed in the lower part field of the base of the concave slot 110 so that n mold impurity layer 102 may be divided. The source field 112 or the drain field 113 which consists of an n mold impurity layer 102 divided by 2nd p mold impurity layer 111 by this is formed. At this time, the threshold electrical potential difference of a transistor can be made high by forming 2nd p mold impurity layer 111 so that it may become deeper than n mold impurity layer 102.

[0037] Next, after removing the 2nd resist pattern 109, as opposed to the part on 2nd p mold impurity layer 111 in the 1st insulator layer 101, the water solution containing buffer fluoric acid performs wet etching, and as shown in drawing 3 (b), 2nd p mold impurity layer 111 is exposed.

[0038] Next, as shown in drawing 3 (c), after forming the gate dielectric film 114 which consists of silicon oxide by the oxidizing [ thermally ] method, the conductive film 115 which consists of polish recon film which continues on the 3rd insulator layer 108 including the concave slot 110 on the whole surface, for example, contains an impurity is deposited on 2nd p mold impurity layer 111.

[0039] Next, by removing the electric conduction film 115 deposited on the 3rd insulator layer 108 for example, by the CMP method, as shown in drawing 4 (a), the gate electrode 116 is formed so that the top face of this gate electrode 116 and the top face of the 3rd insulator layer 108 may become flat almost flat-tapped.

[0040] Next, as shown in drawing 4 (b), the 4th insulator layer 117 which continues on the 3rd insulator layer 108 including the gate electrode 116 top on the whole surface, for example, consists of silicon oxide with a CVD method is deposited.

[0041] Next, as shown in drawing 4 (c), after forming the 3rd resist pattern 118 which has opening to a contact hole formation field by the photolithography on the 4th insulator layer 117, The 3rd resist pattern 118 is used as a mask. It etches to the 4th insulator layer 117, 3rd insulator layer 108, 2nd insulator layer 103, and 1st insulator layer 101, and the contact hole 119 for the gates, the contact hole 120 for the sources, and the contact hole 121 for drains are formed, respectively.

[0042] Next, as shown in drawing 5 (a), after removing the 3rd resist pattern 118, as shown in drawing 5 (b), it has laminated structures, such as titanium nitride film / aluminum film / tungsten film / titanium nitride film / titanium film, and the metal wiring layers 122, 123, and 124 used as a drawer electrode are formed in the interior and the upper part of the contact hole 119 for the gates, the contact hole 120 for the sources, and the contact hole 121 for drains.

[0043] After forming gate dielectric film 114 on the front face of the p type silicon substrate 100 exposed in the concave slot 110 formed on the p type silicon substrate 100 according to the 1st operation gestalt, Since the gate electrode 116 is formed by embedding the conductive film 115 in the concave slot 110 and the gate electrode 116 can be formed, without using gate dielectric film 114 as an etching stopper When forming the gate electrode 116, the situation where gate dielectric film 114 receives breakage can be prevented. For this reason, since-izing of the gate dielectric film 114 can be carried out [ thin film ], without spoiling the dependability of gate dielectric film 114, high integration of a semiconductor device can be attained. Moreover, since the high gate electrode 116 of an aspect ratio can be formed and-izing of the gate electrode 116 can be carried out [ low \*\*\*\* ] also when gate dielectric film 114 is thin-film-ized, improvement in the speed of actuation of a semiconductor device can be attained.

[0044] Moreover, in order according to the 1st operation gestalt to form 2nd p mold impurity layer 111 in the lower part field of the base of the concave slot 110 so that n mold impurity layer 102 may be divided, the source field 112 or the drain field 113 which consists of an n mold impurity layer 102 divided by 2nd p mold impurity layer 111 is formed. For this reason, since channel formation is controllable by impressing an electrical potential difference to the gate electrode 116 formed on 2nd p mold impurity layer 111, the dependability of a semiconductor device improves.

[0045] Moreover, by removing the electric conduction film 115 deposited on the 3rd insulator layer 108, after according to the 1st operation gestalt covering the whole surface and depositing the conductive

film 115 on the 3rd insulator layer 108 including the concave slot 110 Since the gate electrode 116 is formed so that the top face of this gate electrode 116 and the top face of the 3rd insulator layer 108 may become flat almost flat-topped, when forming the gate electrode 116, flattening of the top face of the 3rd insulator layer 108 which serves as a substrate in a next process can be carried out. For this reason, since the upper wiring or a component can be formed on the 3rd insulator layer 108 including the gate electrode 116 top, without performing a flat chemically-modified [ new ] degree, the structure of a semiconductor device can be multilayered easily.

[0046] Moreover, since according to the 1st operation gestalt the 2nd insulator layer 103 and 3rd insulator layer 108 have etch selectivity to the 1st insulator layer 101 and the 2nd insulator layer 103 and 3rd insulator layer 108 are not removed when etching removes the 1st insulator layer 101, the situation where the concave slot 110 receives breakage can be prevented. For this reason, since the gate electrode 116 which has a predetermined dimension can be formed certainly, the dependability of a semiconductor device improves.

[0047] In addition, although the polish recon film containing an impurity was used as conductive film 115 in the 1st operation gestalt It replaces with this. The tungsten film, the molybdenum film, the titanium film, the platinum film, Monolayers, such as a copper film, tungsten silicide film, molybdenum silicide film, titanium silicide film, or platinum silicide film, Or the cascade screen of the tungsten silicide film, the molybdenum silicide film, the titanium silicide film or the platinum silicide film, and the polish recon film containing an impurity etc. may be used.

[0048] Moreover, in the 1st operation gestalt, although the nMOS transistor was formed using the p type silicon substrate 100, also when it replaces with this and a pMOS transistor is formed using n mold silicon substrate, equivalent effectiveness is acquired.

[0049] (2nd operation gestalt) The manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention is explained hereafter, referring to drawing 6 (a) – (c) drawing 7 (a) – (c) and drawing 8 (a) – (c), drawing 9 (a) – (c) drawing 10 (a) – (c) and drawing 11 (a) – (c).

[0050] First, as shown in drawing 6 (a), after forming the 1st insulator layer 201 which consists of silicon oxide by the oxidizing [ thermally ] method, n mold impurity layer 202 is formed on the p type silicon substrate 200 at the 1st insulator layer 201 bottom in the p type silicon substrate 200 by carrying out the ion implantation of the n mold impurity to the p type silicon substrate 200 by using the 1st insulator layer 201 as a protective coat.

[0051] Next, as shown in drawing 6 (b), after depositing the 2nd insulator layer 203 which consists of a silicon nitride with a CVD method, the 1st resist pattern 204 which has opening to an isolation formation field by the photolithography on the 2nd insulator layer 203 is formed on the 1st insulator layer 201.

[0052] Next, by etching to the 2nd insulator layer 203, 1st insulator layer 201, and p type silicon substrate 200, respectively by using the 1st resist pattern 204 as a mask, as shown in drawing 6 (c) By carrying out the ion implantation of the p mold impurity to the p type silicon substrate 200 by using the 1st resist pattern 204 as a mask, after forming the isolation slot 205 in the p type silicon substrate 200 1st p mold impurity layer 206 is formed in the surface section of the p type silicon substrate 200 in the isolation slot 205.

[0053] Next, after removing the 1st resist pattern 204, it continues on the 2nd insulator layer 203 including the isolation slot 205 on the whole surface. After that the aforementioned silicon oxide which deposited silicon oxide with the CVD method and was deposited on the 2nd insulator layer 203 for example, for example, by removing by the CMP method As shown in drawing 7 (a), the component isolation region 207 is formed so that the top face of this component isolation region 207 and the top face of the 2nd insulator layer 203 may become flat almost flat-topped.

[0054] Next, as shown in drawing 7 (b), the 3rd insulator layer 208 which continues on the whole surface on the 2nd insulator layer 203 including the component isolation region 207 top, for example, consists of a silicon nitride with a CVD method is deposited. While using the insulator layer which has etch selectivity as the 3rd insulator layer 208 to the 4th insulator layer 211 (see drawing 8 (a)) deposited behind at this time, it deposits so that it may have the thickness of extent which is not thoroughly

removed by the anisotropic etching (see drawing 8 (c) and drawing 9 (a)) performed to the 5th insulator layer 215 which deposits the 3rd insulator layer 208 behind.

[0055] Next, as shown in drawing 7 (c), after forming the 2nd resist pattern 209 which has opening to a gate electrode formation field by the photolithography on the 3rd insulator layer 208, By etching to the 3rd insulator layer 208, 2nd insulator layer 203, 1st insulator layer 201, and p type silicon substrate 200, respectively by using the 2nd resist pattern 209 as a mask The concave slot 210 is formed so that the base may be located in n mold impurity layer 202.

[0056] Next, after removing the 2nd resist pattern 209, as shown in drawing 8 (a), the 4th insulator layer 211 which consists of silicon oxide by the oxidizing [ thermally ] method is formed on the front face of the p type silicon substrate 200 exposed in the concave slot 210.

[0057] Next, as shown in drawing 8 (b), n mold low concentration impurity layer 212 with the concentration of n mold impurity lower than n mold impurity layer 202 is formed in the surface section of the p type silicon substrate 200 in the concave slot 210 to n mold impurity layer 202 and the depth more than equivalent by carrying out the ion implantation of the p mold impurity to the p type silicon substrate 200 by using the 3rd insulator layer 208 as a mask. In addition, if n mold low concentration impurity layer 212 is divided by 2nd p mold impurity layer 217 (refer to drawing 9 (a)) formed in a next process, the field linked to n mold low concentration impurity layer 212 in n mold impurity layer 202 will turn into the source field 213 or the drain field 214.

[0058] Next, as shown in drawing 8 (c), the 5th insulator layer 215 which continues on the 3rd insulator layer 208 including the concave slot 210 on the whole surface, for example, consists of a silicon nitride with a CVD method is deposited. The insulator layer which has etch selectivity to the 4th insulator layer 211 as the 5th insulator layer 215 is used.

[0059] As shown in drawing 9 (a), next, by performing etchback using anisotropic etching to the 5th insulator layer 215 After forming the sidewall 216 which becomes the wall surface of the concave slot 210 including the 4th insulator layer 211 top from the 5th insulator layer 215, By carrying out the ion implantation of the p mold impurity to the p type silicon substrate 200 by using the 3rd insulator layer 208 and sidewall 216 as a mask 2nd p mold impurity layer 217 is formed in the lower part field of the part surrounded by the sidewall 216 in the base of the concave slot 210 so that n mold low concentration impurity layer 212 may be divided. Thereby, as a result of n mold low concentration impurity layer's 212 being divided by 2nd p mold impurity layer 217, while 1st n mold low concentration impurity range 218 is formed between the source field 213 and 2nd p mold impurity layer 217, 2nd n mold low concentration impurity range 219 is formed between the drain field 214 and 2nd p mold impurity layer 217. At this time, the threshold electrical potential difference of a transistor can be made high by forming 2nd p mold impurity layer 217 so that it may become deeper than n mold low concentration impurity layer 212.

[0060] Next, as opposed to the part on 2nd p mold impurity layer 217 in the 4th insulator layer 211, the water solution containing buffer fluoric acid performs wet etching, and as shown in drawing 9 (b), 2nd p mold impurity layer 217 is exposed.

[0061] Next, as shown in drawing 9 (c), the gate dielectric film 220 which consists of silicon oxide by the oxidizing [ thermally ] method is formed on 2nd p mold impurity layer 217.

[0062] Next, as shown in drawing 10 (a), the conductive film 221 which consists of polish recon film which continues on the 3rd insulator layer 208 including the concave slot 210 on the whole surface, for example, contains an impurity is deposited.

[0063] Next, by removing the electric conduction film 221 deposited on the 3rd insulator layer 208 for example, by the CMP method, as shown in drawing 10 (b), the gate electrode 222 is formed so that the top face of this gate electrode 222 and the top face of the 3rd insulator layer 208 may become flat almost flat-tapped.

[0064] Next, as shown in drawing 10 (c), the 6th insulator layer 223 which continues on the 3rd insulator layer 208 including the gate electrode 222 top on the whole surface, for example, consists of silicon oxide with a CVD method is deposited.

[0065] Next, as shown in drawing 11 (a), after forming the 3rd resist pattern 224 which has opening to a contact hole formation field by the photolithography on the 6th insulator layer 223, The 3rd resist pattern 224 is used as a mask. It etches to the 6th insulator layer 223, 3rd insulator layer 208, 2nd insulator layer 203, and 1st insulator layer 201, and the contact hole 225 for the gates, the contact hole 226 for the sources, and the contact hole 227 for drains are formed, respectively.

[0066] Next, as shown in drawing 11 (b), after removing the 3rd resist pattern 224, as shown in drawing 11 (c), it has laminated structures, such as titanium nitride film / aluminum film / tungsten film / titanium nitride film / titanium film, and the metal wiring layers 228, 229, and 230 used as a drawer electrode are formed in the interior and the upper part of the contact hole 225 for the gates, the contact hole 226 for the sources, and the contact hole 227 for drains.

[0067] After forming gate dielectric film 220 on the front face of the p type silicon substrate 200 exposed in the concave slot 210 formed on the p type silicon substrate 200 according to the 2nd operation gestalt, Since the gate electrode 222 is formed by embedding the conductive film 221 in the concave slot 210 and the gate electrode 222 can be formed, without using gate dielectric film 220 as an etching stopper When forming the gate electrode 222, the situation where gate dielectric film 220 receives breakage can be prevented. For this reason, since-izing of the gate dielectric film 220 can be carried out [ thin film ], without spoiling the dependability of gate dielectric film 220, high integration of a semiconductor device can be attained. Moreover, since the high gate electrode 222 of an aspect ratio can be formed and-izing of the gate electrode 222 can be carried out [ low \*\*\*\* ] also when gate dielectric film 220 is thin-film-ized, improvement in the speed of actuation of a semiconductor device can be attained.

[0068] Moreover, in order according to the 2nd operation gestalt to form 2nd p mold impurity layer 217 in the lower part field of the base of the concave slot 210 so that n mold impurity layer 202 containing n mold low concentration impurity layer 212 may be divided, the source field 213 or the drain field 214 which consists of an n mold impurity layer 202 divided by 2nd p mold impurity layer 217 is formed. For this reason, since channel formation is controllable by impressing an electrical potential difference to the gate electrode 222 formed on 2nd p mold impurity layer 217, the dependability of a semiconductor device improves.

[0069] Moreover, by removing the electric conduction film 221 deposited on the 3rd insulator layer 208, after according to the 2nd operation gestalt covering the whole surface and depositing the conductive film 221 on the 3rd insulator layer 208 including the concave slot 210 Since the gate electrode 222 is formed so that the top face of this gate electrode 222 and the top face of the 3rd insulator layer 208 may become flat almost flat-tapped, when forming the gate electrode 222, flattening of the top face of the 3rd insulator layer 208 which serves as a substrate in a next process can be carried out. For this reason, since the upper wiring or a component can be formed on the 3rd insulator layer 208 including the gate electrode 222 top, without performing a flat chemically-modified [ new ] degree, the structure of a semiconductor device can be multilayered easily.

[0070] Moreover, in order according to the 2nd operation gestalt to form the concave slot 210 so that the base may be located in n mold impurity layer 202, Since in other words the concave slot 210 is formed so that the base may be located below the front face of the p type silicon substrate 200 and the lower part of the gate electrode 222 can be formed below the front face of the p type silicon substrate 200 Compared with the case where the whole gate electrode which has the same thickness as the gate electrode 222 is formed above the front face of a semi-conductor substrate, the aspect ratio of the contact hole 226 for the sources or the contact hole 227 for drains can be made low. For this reason, since embedding of formation of the contact hole 226 for the sources or the contact hole 227 for drains or the conductive ingredient to this contact hole can be performed certainly, the dependability of a semiconductor device improves.

[0071] Hereafter, the aspect ratio of the object for the sources at the time of forming the gate electrode of the same thickness or the contact hole for drains is explained, referring to drawing 12 (a) and (b), using respectively the manufacture approach of the semiconductor device concerning the

manufacture approach of the conventional semiconductor device, and the 2nd operation gestalt of this invention.

[0072] Drawing 12 (a) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the conventional semiconductor device as 1st example of a comparison, and drawing 12 (b) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention. In addition, in drawing 12 (b), explanation is omitted by giving the same sign to the same member as the 1 process sectional view of the 2nd operation gestalt shown in drawing 11 (b).

[0073] drawing 12 (a) — setting — 30 — a silicon substrate and 31 — for a source field and 34, as for an insulator layer and 36, a drain field and 35 are [ gate dielectric film and 32 / a gate electrode and 33 / the contact hole for the sources and 37 ] the contact holes for drains. In addition, as for the gate electrode 32, the whole is formed above the front face of the front face 33 of a silicon substrate 30, i.e., a source field, or the drain field 34.

[0074] Moreover, it sets to drawing 12 (a) and  $t1A$  is the thickness from the front face of a silicon substrate 30 to the top face of the gate electrode 32, and  $d1$ . The depth of the contact hole 36 for the sources or the contact hole 37 for drains and  $S$  are the thickness of the field of the gate electrode 32 upside in an insulator layer 35. At this time, it becomes  $d1 = t1A + S$ .

[0075] Although the graphic display has not been carried out, it will become  $t1A = tGO + tGE$  if thickness of  $tGO$  and the gate electrode 32 is set to  $tGE$  for the thickness of gate dielectric film 31.

[0076] On the other hand, it sets to drawing 12 (b).  $t1B$  The thickness from the front face of 2nd p mold impurity layer 217 to the top face of the gate electrode 222,  $t2$  Thickness from the front face of the front face 213 of the p type silicon substrate 200, i.e., a source field, or the drain field 214 to the top face of the gate electrode 222,  $d2$  The depth of the contact hole 226 for the sources or the contact hole 227 for drains and  $S$  are the thickness (the same thickness as  $S$  of drawing 12 (a)) of the field of the gate electrode 222 upside in the 6th insulator layer 223. In addition, the aperture of the contact hole 226 for the sources or the contact hole 227 for drains presupposes that it is the same as the aperture of the contact hole 36 for the sources of drawing 12 (a), or the contact hole 37 for drains.

[0077] Although the graphic display has not been carried out, it will be set to  $t1B = tGO + tGE = t1A$  if thickness of  $tGO$  (the same thickness as  $tGO$  of drawing 12 (a)) and the gate electrode 222 is set to  $tGE$  (the same thickness as  $tGE$  of drawing 12 (a)) for the thickness of gate dielectric film 220.

[0078] Therefore, as shown in drawing 12 (b), it is the depth  $d2$  of the contact hole 226 for the sources, or the contact hole 227 for drains. Since it is  $t2 < t1B = t1A$  while being set to  $d2 = t2 + S$ , it is  $d2 < d1$ . It becomes.

[0079] As explained above, when the gate electrode of the same thickness is formed using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 2nd operation gestalt of this invention, the direction which used the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention can make low the aspect ratio of the contact hole for the object for the sources, or drains.

[0080] Moreover, since the lower part of the gate electrode 222 can be formed below the front face of the p type silicon substrate 200 according to the 2nd operation gestalt, thickness of the gate electrode 222 can be thickened compared with the case where form the contact hole the object for the sources which has the same depth as the contact hole 226 for the sources, or the contact hole 227 for drains, and the same aspect ratio, or for drains, and the whole gate electrode is formed above the front face of a semi-conductor substrate. For this reason, since-izing of the gate electrode 222 can be carried out [ low \*\*\*\* ], actuation of a semiconductor device is accelerable.

[0081] Hereafter, the thickness of the gate electrode at the time of forming the contact hole the object for the sources which has the same depth and the same aspect ratio, or for drains is explained, referring to drawing 13 (a) and (b), using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 2nd operation gestalt of this invention.

[0082] Drawing 13 (a) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the conventional semiconductor device as 2nd example of a comparison, and drawing 13 (b) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention. In addition, in drawing 13 (b), explanation is omitted by giving the same sign to the same member as the 1 process sectional view of the 2nd operation gestalt shown in drawing 11 (b).

[0083] drawing 13 (a) — setting — 40 — a silicon substrate and 41 — for a source field and 44, as for an insulator layer and 46, a drain field and 45 are [ gate dielectric film and 42 / a gate electrode and 43 / the contact hole for the sources and 47 ] the contact holes for drains. In addition, as for the gate electrode 42, the whole is formed above the front face of the front face 43 of a silicon substrate 40, i.e., a source field, or the drain field 44.

[0084] Moreover, it sets to drawing 13 (a) and T1A is the thickness from the front face of a silicon substrate 40 to the top face of the gate electrode 42, and D1. The depth of the contact hole 46 for the sources or the contact hole 47 for drains and S are the thickness of the field of the gate electrode 42 upside in an insulator layer 45. It is set to  $T1A = D1 - S$  at this time.

[0085] A graphic display is the thickness TGE1 of the gate electrode 42, when thickness of gate dielectric film 41 is set to tGO, although not carried out. It becomes  $TGE1 = T1A - tGO$ .

[0086] On the other hand, it sets to drawing 13 (b). T1B The thickness from the front face of the front face 213 of the p type silicon substrate 200, i.e., a source field, or the drain field 214 to the top face of the gate electrode 222, T2 Thickness from the front face of 2nd p mold impurity layer 217 to the top face of the gate electrode 222, D1 The depth (the same depth as D1 of drawing 13 (a)) of the contact hole 226 for the sources or the contact hole 227 for drains and S are the thickness (the same thickness as S of drawing 13 (a)) of the field of the gate electrode 222 upside in the 6th insulator layer 223. In addition, the aperture of the contact hole 226 for the sources or the contact hole 227 for drains presupposes that it is the same as the aperture of the contact hole 46 for the sources of drawing 13 (a), or the contact hole 47 for drains.

[0087] A graphic display is the thickness TGE2 of the gate electrode 222, when thickness of gate dielectric film 220 is set to tGO (the same thickness as tGO of drawing 13 (a)), although not carried out. It is set to  $TGE2 = T2 - tGO$ .

[0088] Therefore, since it is  $T2 > T1B = T1A - S$  while being set to  $T1B = D1 - S$  as shown in drawing 13 (b), it is  $TGE2 > TGE1$ . It becomes.

[0089] As explained above, when the contact hole the object for the sources which has the same depth and the same aspect ratio, or for drains is formed using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 2nd operation gestalt of this invention, the direction which used the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention can thicken thickness of a gate electrode.

[0090] Moreover, since according to the 2nd operation gestalt the insulation between the source field 213 or the drain field 214, and the gate electrode 222 improves in order to form a sidewall 216 in the wall surface of the concave slot 210, the dependability of a semiconductor device improves.

[0091] According to the 2nd operation gestalt, in the surface section of the p type silicon substrate 200 in the concave slot 210 moreover, n mold low concentration impurity layer 212 After forming to the depth more than n mold impurity layer 202 and an EQC, to the lower part field of the part surrounded by the sidewall 216 in the base of the concave slot 210 In order to form 2nd p mold impurity layer 217 so that n mold low concentration impurity layer 212 may be divided, The result by which n mold low concentration impurity layer 212 is divided by 2nd p mold impurity layer 217, While 1st n mold low concentration impurity range 218 is formed between the source field 213 and 2nd p mold impurity layer 217, 2nd n mold low concentration impurity range 219 is formed between the drain field 214 and 2nd p mold impurity layer 217. For this reason, since field strength generated when an electrical potential difference is impressed between the source field 213 and the drain field 214 can be made small, the



dependability of a semiconductor device improves.

[0092] Moreover, since according to the 2nd operation gestalt it deposits so that it may have the thickness of extent which is not thoroughly removed by the anisotropic etching performed to the 5th insulator layer 215 in the 3rd insulator layer 208 and the situation where the 3rd insulator layer 208 is removed thoroughly and the component isolation region 207 receives breakage can be prevented when performing anisotropic etching to the 5th insulator layer 215, the dependability of a semiconductor device improves.

[0093] Moreover, since according to the 2nd operation gestalt the 3rd insulator layer 208 and 5th insulator layer 215 have etch selectivity to the 4th insulator layer 211 and the sidewall 216 which consists of the 3rd insulator layer 208 and the 5th insulator layer 215 is not removed when etching removes the 4th insulator layer 211, the situation where the concave slot 210 receives breakage can be prevented. For this reason, since the gate electrode 222 which has a predetermined dimension can be formed certainly, the dependability of a semiconductor device improves.

[0094] In addition, although the polish recon film containing an impurity was used as conductive film 221 in the 2nd operation gestalt it replaces with this. The tungsten film, the molybdenum film, the titanium film, the platinum film, Monolayers, such as a copper film, tungsten silicide film, molybdenum silicide film, titanium silicide film, or platinum silicide film, Or the cascade screen of the tungsten silicide film, the molybdenum silicide film, the titanium silicide film or the platinum silicide film, and the polish recon film containing an impurity etc. may be used.

[0095] Moreover, in the 2nd operation gestalt, although the nMOS transistor was formed using the p type silicon substrate 200, also when it replaces with this and a pMOS transistor is formed using n mold silicon substrate, equivalent effectiveness is acquired.

[0096] (3rd operation gestalt) The manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention is explained hereafter, referring to drawing 14 (a) – (c) and drawing 15 (a) – (c), drawing 16 (a) – (c) drawing 17 (a) – (c) and drawing 18 (a) – (c), drawing 19 (a), (b), and drawing 20 (a) and (b).

[0097] First, as shown in drawing 14 (a), after forming the 1st insulator layer 301 which consists of silicon oxide by the oxidizing [ thermally ] method, n mold impurity layer 302 is formed on the p type silicon substrate 300 at the 1st insulator layer 301 bottom in the p type silicon substrate 300 by carrying out the ion implantation of the n mold impurity to the p type silicon substrate 300 by using the 1st insulator layer 301 as a protective coat.

[0098] Next, as shown in drawing 14 (b), after depositing the 2nd insulator layer 303 which consists of a silicon nitride with a CVD method, the 1st resist pattern 304 which has opening to an isolation formation field by the photolithography on the 2nd insulator layer 303 is formed on the 1st insulator layer 301.

[0099] Next, by etching to the 2nd insulator layer 303, 1st insulator layer 301, and p type silicon substrate 300, respectively by using the 1st resist pattern 304 as a mask, as shown in drawing 14 (c) By carrying out the ion implantation of the p mold impurity to the p type silicon substrate 300 by using the 1st resist pattern 304 as a mask, after forming the isolation slot 305 in the p type silicon substrate 300 1st p mold impurity layer 306 is formed in the surface section of the p type silicon substrate 300 in the isolation slot 305.

[0100] Next, after removing the 1st resist pattern 304, it continues on the 2nd insulator layer 303 including the isolation slot 305 on the whole surface. After that the aforementioned silicon oxide which deposited silicon oxide with the CVD method and was deposited on the 2nd insulator layer 303 for example, for example, by removing by the CMP method As shown in drawing 15 (a), the component isolation region 307 is formed so that the top face of this component isolation region 307 and the top face of the 2nd insulator layer 303 may become flat almost flat-tapped.

[0101] Next, as shown in drawing 15 (b), the 3rd insulator layer 308 which continues on the whole surface on the 2nd insulator layer 303 including the component isolation region 307 top, for example, consists of a silicon nitride with a CVD method is deposited. While using the insulator layer which has etch selectivity as the 3rd insulator layer 308 to the 4th insulator layer 311 (see drawing 16 (a))

deposited behind at this time, it deposits so that it may have the thickness of extent which is not thoroughly removed by the anisotropic etching (see drawing 16 (c) and drawing 17 (a)) performed to the 5th insulator layer 317 which deposits the 3rd insulator layer 308 behind.

[0102] Next, as shown in drawing 15 (c), after forming the 2nd resist pattern 309 which has opening to a gate electrode formation field by the photolithography on the 3rd insulator layer 308, By etching to the 3rd insulator layer 308, 2nd insulator layer 303, 1st insulator layer 301, and p type silicon substrate 300, respectively by using the 2nd resist pattern 309 as a mask The concave slot 310 is formed so that the base may be located below n mold impurity layer 302. The source field or drain field (see the source field 315 and the drain field 316 of drawing 16 (b)) which consists of an n mold impurity layer 302 divided by the concave slot 310 by this is formed.

[0103] Next, after removing the 2nd resist pattern 309, as shown in drawing 16 (a), the 4th insulator layer 311 which consists of silicon oxide by the oxidizing [ thermally ] method is formed on the front face of the p type silicon substrate 300 exposed in the concave slot 310.

[0104] Next, by carrying out the ion implantation of the n mold impurity to the p type silicon substrate 300 by using the 3rd insulator layer 308 as a mask, as shown in drawing 16 (b), n mold low concentration impurity layer 312 with the concentration of n mold impurity lower than n mold impurity layer 302 is formed in the surface section of the p type silicon substrate 300 in the concave slot 310 so that it may connect with n mold impurity layer 302 315, i.e., a source field, and the drain field 316. While 1st n mold high concentration impurity range 313 a little where the concentration of n mold impurity is higher than n mold impurity layer 302 is formed near the wall surface of the concave slot 310 in the source field 315 at this time, 2nd n mold high concentration impurity range 314 a little where the concentration of n mold impurity is higher than n mold impurity layer 302 is formed near the wall surface of the concave slot 310 in the drain field 316.

[0105] Next, as shown in drawing 16 (c), the 5th insulator layer 317 which continues on the 3rd insulator layer 308 including the concave slot 310 on the whole surface, for example, consists of a silicon nitride with a CVD method is deposited. The insulator layer which has etch selectivity to the 4th insulator layer 311 as the 5th insulator layer 317 is used.

[0106] Next, as shown in drawing 17 (a), the sidewall 318 which becomes the wall surface of the concave slot 310 including the 4th insulator layer 311 top from the 5th insulator layer 317 is formed by performing etchback using anisotropic etching to the 5th insulator layer 317.

[0107] Next, by carrying out the ion implantation of the p mold impurity to the p type silicon substrate 300 by using the 3rd insulator layer 308 and sidewall 318 as a mask, as shown in drawing 17 (b), 2nd p mold impurity layer 319 is formed in the lower part field of the part surrounded by the sidewall 318 in the base of the concave slot 310 so that n mold low concentration impurity layer 312 may be divided. Thereby, as a result of n mold low concentration impurity layer's 312 being divided by 2nd p mold impurity layer 319, while 1st n mold low concentration impurity range 320 is formed between the source field 315 and 2nd p mold impurity layer 319, 2nd n mold low concentration impurity range 321 is formed between the drain field 316 and 2nd p mold impurity layer 319. At this time, the threshold electrical potential difference of a transistor can be made high by forming 2nd p mold impurity layer 319 so that it may become deeper than n mold low concentration impurity layer 312.

[0108] Next, as opposed to the part on 2nd p mold impurity layer 319 in the 4th insulator layer 311, the water solution containing buffer fluoric acid performs wet etching, and as shown in drawing 17 (c), 2nd p mold impurity layer 319 is exposed.

[0109] Next, as shown in drawing 18 (a), the gate dielectric film 322 which consists of silicon oxide by the oxidizing [ thermally ] method is formed on 2nd p mold impurity layer 319.

[0110] Next, as shown in drawing 18 (b), the conductive film 323 which consists of polish recon film - which continues on the 3rd insulator layer 308 including the concave slot 310 on the whole surface, for example, contains an impurity is deposited.

[0111] Next, by removing the electric conduction film 323 deposited on the 3rd insulator layer 308 for example, by the CMP method, as shown in drawing 18 (c), the gate electrode 324 is formed so that the



top face of this gate electrode 324 and the top face of the 3rd insulator layer 308 may become flat almost flat-topped.

[0112] Next, as shown in drawing 19 (a), the 6th insulator layer 325 which continues on the 3rd insulator layer 308 including the gate electrode 324 top on the whole surface, for example, consists of silicon oxide with a CVD method is deposited.

[0113] Next, as shown in drawing 19 (b), after forming the 3rd resist pattern 326 which has opening to a contact hole formation field by the photolithography on the 6th insulator layer 325, The 3rd resist pattern 326 is used as a mask. It etches to the 6th insulator layer 325, 3rd insulator layer 308, 2nd insulator layer 303, and 1st insulator layer 301, and the contact hole 327 for the gates, the contact hole 328 for the sources, and the contact hole 329 for drains are formed, respectively.

[0114] Next, as shown in drawing 20 (a), after removing the 3rd resist pattern 326, as shown in drawing 20 (b), it has laminated structures, such as titanium nitride film / aluminum film / tungsten film / titanium nitride film / titanium film, and the metal wiring layers 330, 331, and 332 used as a drawer electrode are formed in the interior and the upper part of the contact hole 327 for the gates, the contact hole 328 for the sources, and the contact hole 329 for drains.

[0115] After forming gate dielectric film 322 on the front face of the p type silicon substrate 300 exposed in the concave slot 310 formed on the p type silicon substrate 300 according to the 3rd operation gestalt, Since the gate electrode 324 is formed by embedding the conductive film 323 in the concave slot 310 and the gate electrode 324 can be formed, without using gate dielectric film 322 as an etching stopper When forming the gate electrode 324, the situation where gate dielectric film 322 receives breakage can be prevented. For this reason, since-izing of the gate dielectric film 322 can be carried out [ thin film ], without spoiling the dependability of gate dielectric film 322, high integration of a semiconductor device can be attained. Moreover, since the high gate electrode 324 of an aspect ratio can be formed and-izing of the gate electrode 324 can be carried out [ low \*\*\*\* ] also when gate dielectric film 322 is thin-film-ized, improvement in the speed of actuation of a semiconductor device can be attained.

[0116] Moreover, in order according to the 3rd operation gestalt to form the concave slot 310 so that the base may be located below n mold impurity layer 302, the source field 315 or the drain field 316 which consists of an n mold impurity layer 302 divided by the concave slot 310 is formed. For this reason, since channel formation is controllable by impressing an electrical potential difference to the gate electrode 324 formed in the concave slot 310, the dependability of a semiconductor device improves.

[0117] Moreover, by removing the electric conduction film 323 deposited on the 3rd insulator layer 308, after according to the 3rd operation gestalt covering the whole surface and depositing the conductive film 323 on the 3rd insulator layer 308 including the concave slot 310 Since the gate electrode 324 is formed so that the top face of this gate electrode 324 and the top face of the 3rd insulator layer 308 may become flat almost flat-topped, when forming the gate electrode 324, flattening of the top face of the 3rd insulator layer 308 which serves as a substrate in a next process can be carried out. For this reason, since the upper wiring or a component can be formed on the 3rd insulator layer 308 including the gate electrode 324 top, without performing a flat chemically-modified [ new ] degree, the structure of a semiconductor device can be multilayered easily.

[0118] Moreover, in order according to the 3rd operation gestalt to form the concave slot 310 so that the base may be located below n mold impurity layer 302, Since in other words the concave slot 310 is formed so that the base may be located below the front face of the p type silicon substrate 300 and the lower part of the gate electrode 324 can be formed below the front face of the p type silicon substrate 300 Compared with the case where the whole gate electrode which has the same thickness as the gate electrode 324 is formed above the front face of a semi-conductor substrate, the aspect ratio of the contact hole 328 for the sources or the contact hole 329 for drains can be made low. For this reason, since embedding of formation of the contact hole 328 for the sources or the contact hole 329 for drains or the conductive ingredient to this contact hole can be performed certainly, the dependability of a

semiconductor device improves.

[0119] Hereafter, the aspect ratio of the object for the sources at the time of forming the gate electrode of the same thickness or the contact hole for drains is explained, referring to drawing 21 (a) and (b), using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 3rd operation gestalt of this invention.

[0120] Drawing 21 (a) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the conventional semiconductor device as 3rd example of a comparison, and drawing 21 (b) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention. In addition, in drawing 21 (b), explanation is omitted by giving the same sign to the same member as the 1 process sectional view of the 3rd operation gestalt shown in drawing 20 (a).

[0121] drawing 21 (a) — setting — 50 — a silicon substrate and 51 — for a source field and 54, as for an insulator layer and 56, a drain field and 55 are [ gate dielectric film and 52 / a gate electrode and 53 / the contact hole for the sources and 57 ] the contact holes for drains. In addition, as for the gate electrode 52, the whole is formed above the front face of the front face 53 of a silicon substrate 50, i.e., a source field, or the drain field 54.

[0122] Moreover, it sets to drawing 21 (a) and  $t_{3A}$  is the thickness from the front face of a silicon substrate 50 to the top face of the gate electrode 52, and  $d_3$ . The depth of the contact hole 56 for the sources or the contact hole 57 for drains and  $S$  are the thickness of the field of the gate electrode 52 upside in an insulator layer 55. At this time, it becomes  $d_3 = t_{3A} + S$ .

[0123] Although the graphic display has not been carried out, it will become  $t_{3A} = t_{GO} + t_{GE}$  if thickness of  $t_{GO}$  and the gate electrode 52 is set to  $t_{GE}$  for the thickness of gate dielectric film 51.

[0124] On the other hand, it sets to drawing 21 (b).  $t_{3B}$  The thickness from the front face of 2nd p mold impurity layer 319 to the top face of the gate electrode 324,  $t_4$  Thickness from the front face of the front face 315 of the p type silicon substrate 300, i.e., a source field, or the drain field 316 to the top face of the gate electrode 324,  $d_4$  The depth of the contact hole 328 for the sources or the contact hole 329 for drains and  $S$  are the thickness (the same thickness as  $S$  of drawing 21 (a)) of the field of the gate electrode 324 upside in the 6th insulator layer 325. In addition, the aperture of the contact hole 328 for the sources or the contact hole 329 for drains presupposes that it is the same as the aperture of the contact hole 56 for the sources of drawing 21 (a), or the contact hole 57 for drains.

[0125] Although the graphic display has not been carried out, it will be set to  $t_{3B} = t_{GO} + t_{GE} = t_{3A}$  if thickness of  $t_{GO}$  (the same thickness as  $t_{GO}$  of drawing 21 (a)) and the gate electrode 324 is set to  $t_{GE}$  (the same thickness as  $t_{GE}$  of drawing 21 (a)) for the thickness of gate dielectric film 322.

[0126] Therefore, as shown in drawing 21 (b), it is the depth  $d_4$  of the contact hole 328 for the sources, or the contact hole 329 for drains. Since it is  $t_4 < t_{3B} = t_{3A}$  while being set to  $d_4 = t_4 + S$ , it is  $d_4 < d_3$ . It becomes.

[0127] As explained above, when the gate electrode of the same thickness is formed using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 3rd operation gestalt of this invention, the direction which used the manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention can make low the aspect ratio of the contact hole for the object for the sources, or drains.

[0128] Moreover, since the lower part of the gate electrode 324 can be formed below the front face of the p type silicon substrate 300 according to the 3rd operation gestalt, thickness of the gate electrode 324 can be thickened compared with the case where form the contact hole the object for the sources which has the same depth as the contact hole 328 for the sources, or the contact hole 329 for drains, and the same aspect ratio, or for drains, and the whole gate electrode is formed above the front face of a semi-conductor substrate. For this reason, since-izing of the gate electrode 324 can be carried out [ low \*\*\*\* ], actuation of a semiconductor device is accelerable.

[0129] Hereafter, the thickness of the gate electrode at the time of forming the contact hole the object

for the sources which has the same depth and the same aspect ratio, or for drains is explained, referring to drawing 22 (a) and (b), using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 3rd operation gestalt of this invention.

[0130] Drawing 22 (a) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the conventional semiconductor device as 4th example of a comparison, and drawing 22 (b) shows the cross-section configuration of the semiconductor device formed by the manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention. In addition, in drawing 22 (b), explanation is omitted by giving the same sign to the same member as the 1 process sectional view of the 3rd operation gestalt shown in drawing 20 (a).

[0131] drawing 22 (a) — setting — 60 — a silicon substrate and 61 — for a source field and 64, as for an insulator layer and 66, a drain field and 65 are [ gate dielectric film and 62 / a gate electrode and 63 / the contact hole for the sources and 67 ] the contact holes for drains. In addition, as for the gate electrode 62, the whole is formed above the front face of the front face 63 of a silicon substrate 60, i.e., a source field, or the drain field 64.

[0132] Moreover, it sets to drawing 22 (a) and T3A is the thickness from the front face of a silicon substrate 60 to the top face of the gate electrode 62, and D3. The depth of the contact hole 66 for the sources or the contact hole 67 for drains and S are the thickness of the field of the gate electrode 62 upside in an insulator layer 65. It is set to  $T3A = D3 - S$  at this time.

[0133] A graphic display is the thickness TGE1 of the gate electrode 62, when thickness of gate dielectric film 61 is set to tGO, although not carried out. It becomes  $TGE1 = T3A - tGO$ .

[0134] On the other hand, it sets to drawing 22 (b). T3B The thickness from the front face of the front face 315 of the p type silicon substrate 300, i.e., a source field, or the drain field 316 to the top face of the gate electrode 324, T four Thickness from the front face of 2nd p mold impurity layer 319 to the top face of the gate electrode 324, D3 It is the depth (the same depth as D3 of drawing 22 (a)) of the contact hole 328 for the sources, or the contact hole 329 for drains, and S is the thickness (the same thickness as S of drawing 22 (a)) of the field of the gate electrode 324 upside in the 6th insulator layer 325. In addition, the aperture of the contact hole 328 for the sources or the contact hole 329 for drains presupposes that it is the same as the aperture of the contact hole 66 for the sources of drawing 22 (a), or the contact hole 67 for drains.

[0135] A graphic display is the thickness TGE2 of the gate electrode 324, when thickness of gate dielectric film 322 is set to tGO (the same thickness as tGO of drawing 22 (a)), although not carried out. It is set to  $TGE2 = T - \text{four} - tGO$ .

[0136] Therefore, since it is  $T - \text{four} > T3B = T3A = D3 - S$  while being set to  $T3B = D3 - S$  as shown in drawing 22 (b), it is  $TGE2 > TGE1$ . It becomes.

[0137] As explained above, when the contact hole the object for the sources which has the same depth and the same aspect ratio, or for drains is formed using respectively the manufacture approach of the semiconductor device concerning the manufacture approach of the conventional semiconductor device, and the 3rd operation gestalt of this invention, the direction which used the manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention can thicken thickness of a gate electrode.

[0138] Moreover, since according to the 3rd operation gestalt the insulation between the source field 315 or the drain field 316, and the gate electrode 324 improves in order to form a sidewall 318 in the wall surface of the concave slot 310, the dependability of a semiconductor device improves.

[0139] According to the 3rd operation gestalt, in the surface section of the p type silicon substrate 300 in the concave slot 310 moreover, n mold low concentration impurity layer 312 In order to form 2nd p mold impurity layer 319 so that n mold low concentration impurity layer 312 may be divided after forming so that it may connect with n mold impurity layer 302 315, i.e., a source field, and the drain field 316, The result by which n mold low concentration impurity layer 312 is divided by 2nd p mold impurity layer 319, While 1st n mold low concentration impurity range 320 is formed between the source field 315 and

2nd p mold impurity layer 319, 2nd n mold low concentration impurity range 321 is formed between the drain field 316 and 2nd p mold impurity layer 319. For this reason, since field strength generated when an electrical potential difference is impressed between the source field 315 and the drain field 316 can be made small, the dependability of a semiconductor device improves.

[0140] Moreover, since according to the 3rd operation gestalt it deposits so that it may have the thickness of extent which is not thoroughly removed by the anisotropic etching performed to the 5th insulator layer 317 in the 3rd insulator layer 308 and the situation where the 3rd insulator layer 308 is removed thoroughly and the component isolation region 307 receives breakage can be prevented when performing anisotropic etching to the 5th insulator layer 317, the dependability of a semiconductor device improves.

[0141] Moreover, since according to the 3rd operation gestalt the 3rd insulator layer 308 and 5th insulator layer 317 have etch selectivity to the 4th insulator layer 311 and the sidewall 318 which consists of the 3rd insulator layer 308 and the 5th insulator layer 317 is not removed when etching removes the 4th insulator layer 311, the situation where the concave slot 310 receives breakage can be prevented. For this reason, since the gate electrode 324 which has a predetermined dimension can be formed certainly, the dependability of a semiconductor device improves.

[0142] In addition, although the polish recon film containing an impurity was used as conductive film 323 in the 3rd operation gestalt It replaces with this. The tungsten film, the molybdenum film, the titanium film, the platinum film, Monolayers, such as a copper film, tungsten silicide film, molybdenum silicide film, titanium silicide film, or platinum silicide film, Or the cascade screen of the tungsten silicide film, the molybdenum silicide film, the titanium silicide film or the platinum silicide film, and the polish recon film containing an impurity etc. may be used.

[0143] Moreover, in the 3rd operation gestalt, although the nMOS transistor was formed using the p-type silicon substrate 300, also when it replaces with this and a pMOS transistor is formed using n mold silicon substrate, equivalent effectiveness is acquired.

[0144]

[Effect of the Invention] Since according to this invention gate dielectric film does not receive breakage when forming a gate electrode and-izing of the gate dielectric film can be carried out [ thin film ], without spoiling the dependability of gate dielectric film, high integration of a semiconductor device can be attained. Moreover, since the high gate electrode of an aspect ratio can be formed and-izing of the gate electrode can be carried out [ low \*\*\*\* ] also when gate dielectric film is thin-film-ized, improvement in the speed of actuation of a semiconductor device can be attained.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

**[Drawing 2]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

**[Drawing 3]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

**[Drawing 4]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

**[Drawing 5]** (a) and (b) are the sectional views showing each process of the manufacture approach of the semiconductor device concerning the 1st operation gestalt.

**[Drawing 6]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 7]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 8]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 9]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 10]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 11]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 12]** (a) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the conventional semiconductor device as 1st example of a comparison, and (b) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 13]** (a) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the conventional semiconductor device as 2nd example of a comparison, and (b) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the semiconductor device concerning the 2nd operation gestalt.

**[Drawing 14]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

**[Drawing 15]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

**[Drawing 16]** (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 17] (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 18] (a) – (c) is the sectional view showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 19] (a) and (b) are the sectional views showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 20] (a) and (b) are the sectional views showing each process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 21] (a) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the conventional semiconductor device as 3rd example of a comparison, and (b) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 22] (a) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the conventional semiconductor device as 4th example of a comparison, and (b) is drawing showing the cross-section configuration of the semiconductor device obtained by the manufacture approach of the semiconductor device concerning the 3rd operation gestalt.

[Drawing 23] (a) and (b) are the sectional views showing each process of the manufacture approach of the conventional semiconductor device.

[Description of Notations]

100 P Type Silicon Substrate  
101 1st Insulator Layer  
102 N Mold Impurity Layer  
103 2nd Insulator Layer  
104 1st Resist Pattern  
105 Isolation Slot  
106 1st P Mold Impurity Layer  
107 Component Isolation Region  
108 3rd Insulator Layer  
109 2nd Resist Pattern  
110 Concave Slot  
111 2nd P Mold Impurity Layer  
112 Source Field  
113 Drain Field  
114 Gate Dielectric Film  
115 Conductive Film  
116 Gate Electrode  
117 4th Insulator Layer  
118 3rd Resist Pattern  
119 Contact Hole for Gates  
120 Contact Hole for Sources  
121 Contact Hole for Drains  
122 Metal Wiring Layer  
123 Metal Wiring Layer  
124 Metal Wiring Layer  
200 P Type Silicon Substrate  
201 1st Insulator Layer  
202 N Mold Impurity Layer  
203 2nd Insulator Layer

204 1st Resist Pattern  
205 Isolation Slot  
206 1st P Mold Impurity Layer  
207 Component Isolation Region  
208 3rd Insulator Layer  
209 2nd Resist Pattern  
210 Concave Slot  
211 4th Insulator Layer  
212 N Mold Low Concentration Impurity Layer  
213 Source Field  
214 Drain Field  
215 5th Insulator Layer  
216 Sidewall  
217 2nd P Mold Impurity Layer  
218 1st N Mold Low Concentration Impurity Range  
219 2nd N Mold Low Concentration Impurity Range  
220 Gate Dielectric Film  
221 Conductive Film  
222 Gate Electrode  
223 6th Insulator Layer  
224 3rd Resist Pattern  
225 Contact Hole for Gates  
226 Contact Hole for Sources  
227 Contact Hole for Drains  
228 Metal Wiring Layer  
229 Metal Wiring Layer  
230 Metal Wiring Layer  
300 P Type Silicon Substrate  
301 1st Insulator Layer  
302 N Mold Impurity Layer  
303 2nd Insulator Layer  
304 1st Resist Pattern  
305 Isolation Slot  
306 1st P Mold Impurity Layer  
307 Component Isolation Region  
308 3rd Insulator Layer  
309 2nd Resist Pattern  
310 Concave Slot  
311 4th Insulator Layer  
312 N Mold Low Concentration Impurity Layer  
313 1st N Mold High Concentration Impurity Range  
314 2nd N Mold High Concentration Impurity Range  
315 Source Field  
316 Drain Field  
317 5th Insulator Layer  
318 Sidewall  
319 2nd P Mold Impurity Layer  
320 1st N Mold Low Concentration Impurity Range  
321 2nd N Mold Low Concentration Impurity Range  
322 Gate Dielectric Film

323 Conductive Film  
324 Gate Electrode  
325 6th Insulator Layer  
326 3rd Resist Pattern  
327 Contact Hole for Gates  
328 Contact Hole for Sources  
329 Contact Hole for Drains  
330 Metal Wiring Layer  
331 Metal Wiring Layer  
332 Metal Wiring Layer

---

[Translation done.]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-200908

(P2000-200908A)

(43) 公開日 平成12年7月18日(2000.7.18)

(51) Int.Cl.<sup>7</sup>  
H01L 29/78

識別記号

F I  
H01L 29/78

テーマコード(参考)

301G  
301V  
301S

審査請求 有 請求項の数11. OL (全 24 頁)

(21) 出願番号 特願平11-205063  
(22) 出願日 平成11年7月19日(1999.7.19)  
(31) 優先権主張番号 特願平10-303911  
(32) 優先日 平成10年10月26日(1998.10.26)  
(33) 優先権主張国 日本 (J P)

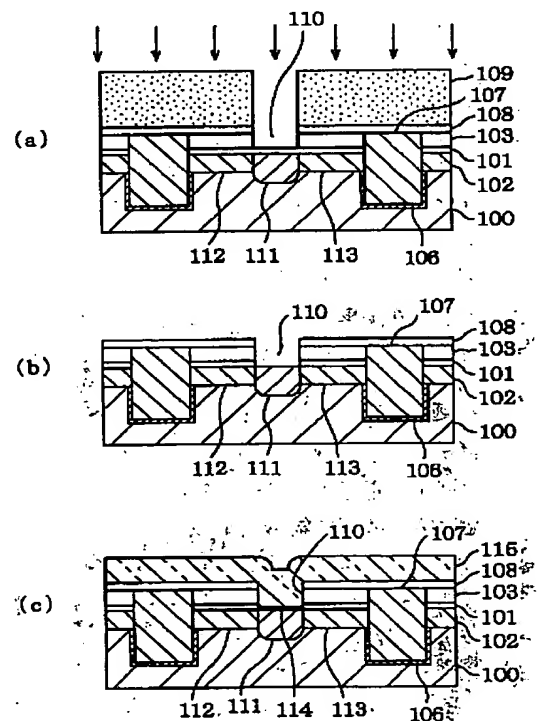
(71) 出願人 000005843  
松下電子工業株式会社  
大阪府高槻市幸町1番1号  
(72) 発明者 日比 紀孝  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(72) 発明者 羽山 和男  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内  
(74) 代理人 100077931  
弁理士 前田 弘 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート絶縁膜の信頼性を損なうことなくゲート絶縁膜を薄膜化できるようにすると共に、アスペクト比の高いゲート電極を形成できるようにする。

【解決手段】 p型シリコン基板100の表面部に第1の絶縁膜101及びn型不純物層102を形成した後、第2の絶縁膜103及び第3の絶縁膜108を堆積し、その後、該絶縁膜に対してエッチングを行なって凹状溝110を形成する。凹状溝110の底面の下方領域に、n型不純物層102を分断するように第2のp型不純物層111を形成して、ソース領域112及びドレイン領域113を形成する。第1の絶縁膜101における第2のp型不純物層111の上の部分除去した後、第2のp型不純物層111の上にゲート絶縁膜114を形成し、その後、凹状溝110にゲート電極となる導電性膜115を埋め込む。



(2)

## 【特許請求の範囲】

【請求項1】 半導体基板の表面部に第1導電型の不純物層を形成する工程と、

前記半導体基板の上に絶縁膜を堆積した後、ゲート電極形成領域における少なくとも前記絶縁膜を除去して凹状溝を形成する工程と、

前記凹状溝内に露出している前記半導体基板の表面上にゲート絶縁膜を形成する工程と、

前記凹状溝に導電膜を埋め込むことによりゲート電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 前記凹状溝を形成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝の底面の下方領域に、前記第1導電型の不純物層を分断するように第2導電型の不純物層を形成する工程を備えていることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記ゲート電極を形成する工程は、前記凹状溝を含む前記絶縁膜の上に導電膜を堆積する工程と、前記絶縁膜の上に堆積された前記導電膜を除去することによって、前記ゲート電極を、該ゲート電極の上面と前記絶縁膜の上面とがほぼ面一で且つ平坦になるように形成する工程とを含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記凹状溝を形成する工程は、前記凹状溝をその底面が前記第1導電型の不純物層中に位置するように形成する工程を含み、前記凹状溝を形成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝の底面の下方領域に、前記第1導電型の不純物層を分断するように第2導電型の不純物層を形成する工程を備えていることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記凹状溝を形成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝の壁面に絶縁性のサイドウォールを形成する工程を備えていることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記凹状溝を形成する工程と前記サイドウォールを形成する工程との間に、前記凹状溝内の前記半導体基板の表面部に、前記第1導電型の不純物層よりも不純物濃度が低い第1導電型の低濃度不純物層を形成する工程を備え、

前記サイドウォールを形成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝の底面における前記サイドウォールに囲まれている部分の下方領域に、前記第1導電型の低濃度不純物層を分断するように前記第2導電型の不純物層を形成する工程を備えていることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 前記凹状溝を形成する工程は、前記凹状溝をその底面が前記第1導電型の不純物層よりも下側に位置するように形成する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項8】 前記凹状溝を形成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝の壁面に絶縁性のサイドウォールを形成する工程を備えていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記凹状溝を形成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝内の前記半導体基板の表面部に、前記第1導電型の不純物層よりも不純物濃度が低い第1導電型の低濃度不純物層を、前記第1導電型の不純物層と接続するように形成する工程と、前記第1導電型の低濃度不純物層を分断するように第2導電型の不純物層を形成する工程とを備えていることを特徴とする請求項7に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置の高集積化が進んだ結果、半導体装置を構成する各素子は超微細構造を有するようになった。一方、半導体装置の動作について、一層の高速性及び高信頼性が要求されている。

【0003】MOS構造を有する半導体装置は、従来より様々な電子機器に使用されると共に今後も益々用途の拡大が見込まれている。

【0004】以下、従来の半導体装置の製造方法、具体的にはMOS型トランジスタのゲート電極の形成方法について、図23(a)、(b)を参照しながら説明する。

【0005】まず、図23(a)に示すように、シリコン基板10上のトランジスタ形成領域11を取り囲むようにLOCOS法によりフィールド酸化膜12を形成した後、シリコン基板10の表面を熱酸化することによりシリコン基板10の上にシリコン酸化膜13を形成する。次に、シリコン基板10の上に全面に亘ってCVD法により不純物を含むポリシリコン膜を堆積した後、該ポリシリコン膜の上にレジストパターンを形成し、その後、該レジストパターンをマスクとしてポリシリコン膜に対してエッチングを行なってゲート電極14を形成した後、ソース領域15及びドレイン領域16を形成する。

【0006】次に、図23(b)に示すように、シリコン酸化膜13におけるゲート電極14から露出した部分を除去することによりゲート絶縁膜17を形成した後、シリコン基板10の上に全面に亘って絶縁膜18を堆積して平坦化する。次に、絶縁膜18に、ゲート電極14、ソース領域15及びドレイン領域16にそれぞれ通ずるコンタクトホール19、20、21を形成した後、コンタクトホール19、20、21の内部及び上部に導電性材料を堆積して、ゲート電極14、ソース領域15

(3)

3

及びドレイン領域 16 と接続する電極層 22、23、24 を形成する。

【0007】以上に説明したように、従来の半導体装置の製造方法においては、導電性膜に対してエッチングを行なってゲート電極 14 を形成するときに、シリコン酸化膜 13 がエッチングストッパーとして用いられている。

【0008】

【発明が解決しようとする課題】しかしながら、半導体装置の高集積化に伴って、MOS 型トランジスタのゲート絶縁膜は薄膜化する傾向にあるため、従来の半導体装置の製造方法を用いた場合には、言い換えると、ゲート絶縁膜となる絶縁性膜をエッチングストッパーとしてゲート電極をパターンニング形成した場合には、除去すべき導電性膜と共にゲート絶縁膜まで除去されてしまうので、ゲート絶縁膜の信頼性が低下するという問題がある。

【0009】また、MOS 構造を有する半導体装置の動作を高速化するためには、ゲート電極の膜厚を厚くしてゲート電極を低抵抗化する必要がある一方、ゲート電極の膜厚を厚くすると、つまりゲート電極のアスペクト比（ゲート電極の膜厚／ゲート幅）を高くすると、導電性膜に対するエッチング量が増大するので、ゲート絶縁膜となる絶縁性膜の上面においてエッチングを確実に終了させることが困難になる。このため、ゲート絶縁膜を薄膜化する場合には、ゲート電極のアスペクト比を高くできないので、ゲート電極を低抵抗化できなくなるという問題がある。さらに、ゲート電極のアスペクト比を高くする場合には、半導体基板上に形成された不純物拡散層つまりソース領域又はドレイン領域と、配線層とを接続するためのコンタクトホールのアスペクト比も高くなるので、コンタクトホールの形成及びコンタクトホールへの導電性材料の埋め込みを確実にこなうことが困難になって、半導体装置の信頼性が低下してしまう。

【0010】前記に鑑み、本発明は、ゲート絶縁膜の信頼性を損なうことなくゲート絶縁膜を薄膜化できるようにすると共にアスペクト比の高いゲート電極を形成できるようにすることを目的とする。

【0011】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る半導体装置の製造方法は、半導体基板の表面部に第 1 導電型の不純物層を形成する工程と、半導体基板の上に絶縁膜を堆積した後、ゲート電極形成領域における少なくとも絶縁膜を除去して凹状溝を形成する工程と、凹状溝内に露出している半導体基板の表面上にゲート絶縁膜を形成する工程と、凹状溝に導電膜を埋め込むことによりゲート電極を形成する工程とを備えている。

【0012】本発明の半導体装置の製造方法によると、半導体基板上に形成された凹状溝内に露出している半導

4

体基板の表面上にゲート絶縁膜を形成した後、凹状溝に導電膜を埋め込むことによりゲート電極を形成するため、ゲート絶縁膜をエッチングストッパーとして用いることなくゲート電極を形成できるので、ゲート電極を形成するときにゲート絶縁膜が損傷を受ける事態を防止できる。従って、ゲート絶縁膜の信頼性を損なうことなくゲート絶縁膜を薄膜化できると共に、ゲート絶縁膜を薄膜化した場合にも、アスペクト比の高いゲート電極を形成できる。

【0013】本発明の半導体装置の製造方法において、凹状溝を形成する工程とゲート絶縁膜を形成する工程との間に、凹状溝の底面の下方領域に、第 1 導電型の不純物層を分断するように第 2 導電型の不純物層を形成する工程を備えていることが好ましい。

【0014】このようにすると、第 2 導電型の不純物層によって分断された第 1 導電型の不純物層からなるソース領域又はドレイン領域が形成されるため、第 2 導電型の不純物層上に形成されるゲート電極に電圧を印加することによってチャネル形成を制御できるので、半導体装置の信頼性が向上する。

【0015】本発明の半導体装置の製造方法において、ゲート電極を形成する工程は、凹状溝を含む絶縁膜の上に導電膜を堆積する工程と、絶縁膜の上に堆積された導電膜を除去することによって、ゲート電極を、該ゲート電極の上面と絶縁膜の上面とがほぼ面一で且つ平坦になるように形成する工程とを含むことが好ましい。

【0016】このようにすると、ゲート電極を形成するときに、後の工程において下地となる絶縁膜の上面を平坦化できるため、ゲート電極の上を含む絶縁膜の上に上層配線又は素子等を、新たな平坦化工程を行なうことなく形成できるので、半導体装置の構造を容易に多層化できる。

【0017】本発明の半導体装置の製造方法において、凹状溝を形成する工程は、凹状溝をその底面が第 1 導電型の不純物層中に位置するように形成する工程を含み、凹状溝を形成する工程とゲート絶縁膜を形成する工程との間に、凹状溝の底面の下方領域に、第 1 導電型の不純物層を分断するように第 2 導電型の不純物層を形成する工程を備えていることが好ましい。

【0018】このようにすると、ゲート電極の下部を半導体基板の表面よりも下側に形成できるため、ゲート電極全体を半導体基板の表面よりも上側に形成する場合と比べて、ソース用又はドレイン用のコンタクトホールのアスペクト比を低くすることができる。このため、ソース用若しくはドレイン用のコンタクトホールの形成又は、該コンタクトホールへの導電性材料の埋め込みを確実にこなうことができるので、半導体装置の信頼性が向上する。また、第 2 導電型の不純物層によって分断された第 1 導電型の不純物層からなるソース領域又はドレイン領域が形成されるため、第 2 導電型の不純物層上に形成さ

(4)

5

れるゲート電極に電圧を印加することによってチャネル形成を制御できるので、半導体装置の信頼性が向上する。

【0019】凹状溝をその底面が第1導電型の不純物層中に位置するように形成する場合、凹状溝を形成する工程とゲート絶縁膜を形成する工程との間に、凹状溝の壁面に絶縁性のサイドウォールを形成する工程を備えていることが好ましい。

【0020】このようにすると、ソース領域又はドレイン領域とゲート電極との間の絶縁性が向上するため、半導体装置の信頼性が向上する。

【0021】サイドウォールを形成する場合、凹状溝を形成する工程とサイドウォールを形成する工程との間に、凹状溝内の半導体基板の表面部に、第1導電型の不純物層よりも不純物濃度が低い第1導電型の低濃度不純物層を形成する工程を備え、サイドウォールを形成する工程とゲート絶縁膜を形成する工程との間に、凹状溝の底面におけるサイドウォールに囲まれている部分の下方領域に、第1導電型の低濃度不純物層を分断するように第2導電型の不純物層を形成する工程を備えていることが好ましい。

【0022】このようにすると、第2導電型の不純物層によって分断された第1導電型の低濃度不純物層が、ソース領域又はドレイン領域と第2導電型の不純物層との間に形成されるため、ソース領域とドレイン領域との間に電圧を印加した場合に発生する電界強度を小さくできるので、半導体装置の信頼性が向上する。

【0023】本発明の半導体装置の製造方法において、凹状溝を形成する工程は、凹状溝をその底面が第1導電型の不純物層よりも下側に位置するように形成する工程を含むことが好ましい。

【0024】このようにすると、ゲート電極の下部を半導体基板の表面よりも下側に形成できるため、ゲート電極全体を半導体基板の表面よりも上側に形成する場合と比べて、ソース用又はドレイン用のコンタクトホールのアスペクト比を低くすることができる。このため、ソース用若しくはドレイン用のコンタクトホールの形成又は該コンタクトホールへの導電性材料の埋め込みを確実に行うことができるので、半導体装置の信頼性が向上する。また、凹状溝によって分断された第1導電型の不純物層からなるソース領域又はドレイン領域が形成されるため、凹状溝に形成されるゲート電極に電圧を印加することによってチャネル形成を制御できるので、半導体装置の信頼性が向上する。

【0025】凹状溝の底面が第1導電型の不純物層よりも下側に位置する場合、凹状溝を形成する工程とゲート絶縁膜を形成する工程との間に、凹状溝の壁面に絶縁性のサイドウォールを形成する工程を備えていることが好ましい。

【0026】このようにすると、ソース領域又はドレイン

6

ン領域とゲート電極との間の絶縁性が向上するため、半導体装置の信頼性が向上する。

【0027】凹状溝の底面が第1導電型の不純物層よりも下側に位置する場合、凹状溝を形成する工程とゲート絶縁膜を形成する工程との間に、凹状溝内の半導体基板の表面部に、第1導電型の不純物層よりも不純物濃度が低い第1導電型の低濃度不純物層を、第1導電型の不純物層と接続するように形成する工程と、第1導電型の低濃度不純物層を分断するように第2導電型の不純物層を形成する工程とを備えていることが好ましい。

【0028】このようにすると、第2導電型の不純物層によって分断された第1導電型の低濃度不純物層が、ソース領域又はドレイン領域と第2導電型の不純物層との間に形成されるため、ソース領域とドレイン領域との間に電圧を印加した場合に発生する電界強度を小さくできるので、半導体装置の信頼性が向上する。

【0029】

【発明の実施の形態】（第1の実施形態）以下、本発明の第1の実施形態に係る半導体装置の製造方法について、図1(a)～(c)、図2(a)～(c)、図3(a)～(c)、図4(a)～(c)及び図5(a)、(b)を参照しながら説明する。

【0030】まず、図1(a)に示すように、p型シリコン基板100の上に例えば熱酸化法によりシリコン酸化膜からなる第1の絶縁膜101を形成した後、第1の絶縁膜101を保護膜としてp型シリコン基板100にn型不純物をイオン注入することにより、p型シリコン基板100における第1の絶縁膜101の下側にn型不純物層102を形成する。

【0031】次に、図1(b)に示すように、第1の絶縁膜101の上に例えばCVD法によりシリコン窒化膜からなる第2の絶縁膜103を堆積した後、第2の絶縁膜103の上にフォトリソグラフィにより素子分離形成領域に開口部を有する第1のレジストパターン104を形成する。第2の絶縁膜103としては、第1の絶縁膜101に対してエッチング選択性を有する絶縁膜を用いる。

【0032】次に、図1(c)に示すように、第1のレジストパターン104をマスクとして第2の絶縁膜103、第1の絶縁膜101及びp型シリコン基板100に対してそれぞれエッチングを行なうことにより、p型シリコン基板100に素子分離溝105を形成した後、第1のレジストパターン104をマスクとしてp型シリコン基板100にp型不純物をイオン注入することにより、素子分離溝105内のp型シリコン基板100の表面部に第1のp型不純物層106を形成する。

【0033】次に、第1のレジストパターン104を除去した後、素子分離溝105を含む第2の絶縁膜103の上に全面に亘って、例えばCVD法によりシリコン酸化膜を堆積し、その後、第2の絶縁膜103の上に堆積

(5)

7

された前記のシリコン酸化膜を例えばCMP法により除去することによって、図2(a)に示すように、素子分離領域107を、該素子分離領域107の上面と第2の絶縁膜103の上面とがほぼ面一で且つ平坦になるように形成する。

【0034】次に、図2(b)に示すように、素子分離領域107の上を含む第2の絶縁膜103の上に全面に亘って、例えばCVD法によりシリコン窒化膜からなる第3の絶縁膜108を堆積する。第3の絶縁膜108としては、第1の絶縁膜101に対してエッチング選択性を有する絶縁膜を用いる。

【0035】次に、図2(c)に示すように、第3の絶縁膜108の上にフォトリソグラフィによりゲート電極形成領域に開口部を有する第2のレジストパターン109を形成した後、第2のレジストパターン109をマスクとして第3の絶縁膜108及び第2の絶縁膜103に対してそれぞれエッチングを行なって、第2の絶縁膜103及び第3の絶縁膜108に凹状溝110を形成する。

【0036】次に、図3(a)に示すように、第2のレジストパターン109をマスクとしてp型シリコン基板100にp型不純物をイオン注入することにより、凹状溝110の底面の下方領域に、n型不純物層102を分断するように第2のp型不純物層111を形成する。これにより、第2のp型不純物層111によって分断されたn型不純物層102からなるソース領域112又はドレイン領域113が形成される。このとき、第2のp型不純物層111をn型不純物層102よりも深くなるように形成することにより、トランジスタのしきい値電圧を高くすることができる。

【0037】次に、第2のレジストパターン109を除去した後、第1の絶縁膜101における第2のp型不純物層111の上の部分に対して、例えばバッファー弗酸を含む水溶液によりウェットエッチングを行なって、図3(b)に示すように、第2のp型不純物層111を露出させる。

【0038】次に、図3(c)に示すように、第2のp型不純物層111の上に、例えば熱酸化法によりシリコン酸化膜からなるゲート絶縁膜114を形成した後、凹状溝110を含む第3の絶縁膜108の上に全面に亘って、例えば不純物を含むポリシリコン膜からなる導電性膜115を堆積する。

【0039】次に、第3の絶縁膜108の上に堆積された導電膜115を例えばCMP法により除去することによって、図4(a)に示すように、ゲート電極116を、該ゲート電極116の上面と第3の絶縁膜108の上面とがほぼ面一で且つ平坦になるように形成する。

【0040】次に、図4(b)に示すように、ゲート電極116の上を含む第3の絶縁膜108の上に全面に亘って、例えばCVD法によりシリコン酸化膜からなる第

8

4の絶縁膜117を堆積する。

【0041】次に、図4(c)に示すように、第4の絶縁膜117の上にフォトリソグラフィによりコンタクトホール形成領域に開口部を有する第3のレジストパターン118を形成した後、第3のレジストパターン118をマスクとして、第4の絶縁膜117、第3の絶縁膜108、第2の絶縁膜103及び第1の絶縁膜101に対してエッチングを行なってゲート用コンタクトホール119、ソース用コンタクトホール120及びドレイン用コンタクトホール121をそれぞれ形成する。

【0042】次に、図5(a)に示すように、第3のレジストパターン118を除去した後、図5(b)に示すように、ゲート用コンタクトホール119、ソース用コンタクトホール120及びドレイン用コンタクトホール121の内部及び上部に、例えば窒化チタン膜/アルミ膜/タングステン膜/窒化チタン膜/チタン膜等の積層構造を有し、引き出し電極となる金属配線層122、123、124を形成する。

【0043】第1の実施形態によると、p型シリコン基板100上に形成された凹状溝110内に露出しているp型シリコン基板100の表面上にゲート絶縁膜114を形成した後、凹状溝110に導電性膜115を埋め込むことによりゲート電極116を形成するため、ゲート絶縁膜114をエッチングストッパーとして用いることなくゲート電極116を形成できるので、ゲート電極116を形成するときにゲート絶縁膜114が損傷を受ける事態を防止できる。このため、ゲート絶縁膜114の信頼性を損なうことなくゲート絶縁膜114を薄膜化できるので、半導体装置の高集積化を図ることができる。

また、ゲート絶縁膜114を薄膜化した場合にも、アスペクト比の高いゲート電極116を形成できるため、ゲート電極116を低抵抗化できるので、半導体装置の動作の高速化を図ることができる。

【0044】また、第1の実施形態によると、凹状溝110の底面の下方領域に、n型不純物層102を分断するように第2のp型不純物層111を形成するため、第2のp型不純物層111によって分断されたn型不純物層102からなるソース領域112又はドレイン領域113が形成される。このため、第2のp型不純物層111上に形成されるゲート電極116に電圧を印加することによってチャネル形成を制御できるので、半導体装置の信頼性が向上する。

【0045】また、第1の実施形態によると、凹状溝110を含む第3の絶縁膜108の上に全面に亘って導電性膜115を堆積した後、第3の絶縁膜108の上に堆積された導電膜115を除去することによって、ゲート電極116を、該ゲート電極116の上面と第3の絶縁膜108の上面とがほぼ面一で且つ平坦になるように形成するため、ゲート電極116を形成するときに、後の工程において下地となる第3の絶縁膜108の上面を平

(6)

9

坦化できる。このため、ゲート電極116の上を含む第3の絶縁膜108の上に上層配線又は素子等を、新たな平坦化工程を行なうことなく形成できるので、半導体装置の構造を容易に多層化できる。

【0046】また、第1の実施形態によると、第2の絶縁膜103及び第3の絶縁膜108が第1の絶縁膜101に対してエッチング選択性を有するため、第1の絶縁膜101をエッチングにより除去するときに、第2の絶縁膜103及び第3の絶縁膜108が除去されないの  
10 ため、凹状溝110が損傷を受ける事態を防止できる。このため、所定の寸法を有するゲート電極116を確実に形成できるので、半導体装置の信頼性が向上する。

【0047】尚、第1の実施形態においては、導電性膜115として、不純物を含むポリシリコン膜を用いたが、これに代えて、タングステン膜、モリブデン膜、チタン膜、白金膜、銅膜、タングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜若しくは白金シリサイド膜等の単層膜、又はタングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜若しくは白金シリサイド膜と不純物を含むポリシリコン膜との積層膜等を用いてもよい。

【0048】また、第1の実施形態においては、p型シリコン基板100を用いてnMOSトランジスタを形成したが、これに代えて、n型シリコン基板を用いてpMOSトランジスタを形成した場合にも同等の効果が得られる。

【0049】(第2の実施形態) 以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図6 (a) ~ (c)、図7 (a) ~ (c)、図8 (a) ~ (c)、図9 (a) ~ (c)、図10 (a) ~ (c) 及び図11 (a) ~ (c) を参照しながら説明する。

【0050】まず、図6 (a) に示すように、p型シリコン基板200の上に例えば熱酸化法によりシリコン酸化膜からなる第1の絶縁膜201を形成した後、第1の絶縁膜201を保護膜としてp型シリコン基板200にn型不純物をイオン注入することにより、p型シリコン基板200における第1の絶縁膜201の下側にn型不純物層202を形成する。

【0051】次に、図6 (b) に示すように、第1の絶縁膜201の上に例えばCVD法によりシリコン窒化膜からなる第2の絶縁膜203を堆積した後、第2の絶縁膜203の上にフォトリソグラフィにより素子分離形成領域に開口部を有する第1のレジストパターン204を形成する。

【0052】次に、図6 (c) に示すように、第1のレジストパターン204をマスクとして第2の絶縁膜203、第1の絶縁膜201及びp型シリコン基板200に対してそれぞれエッチングを行なうことにより、p型シリコン基板200に素子分離溝205を形成した後、第1のレジストパターン204をマスクとしてp型シリ  
10

10

ン基板200にp型不純物をイオン注入することにより、素子分離溝205内のp型シリコン基板200の表面部に第1のp型不純物層206を形成する。

【0053】次に、第1のレジストパターン204を除去した後、素子分離溝205を含む第2の絶縁膜203の上に全面に亘って、例えばCVD法によりシリコン酸化膜を堆積し、その後、第2の絶縁膜203の上に堆積された前記のシリコン酸化膜を例えばCMP法により除去することによって、図7 (a) に示すように、素子分離領域207を、該素子分離領域207の上面と第2の絶縁膜203の上面とがほぼ面一で且つ平坦になるように形成する。

【0054】次に、図7 (b) に示すように、素子分離領域207の上を含む第2の絶縁膜203の上に全面に亘って、例えばCVD法によりシリコン窒化膜からなる第3の絶縁膜208を堆積する。このとき、第3の絶縁膜208としては、後に堆積する第4の絶縁膜211

(図8 (a) を参照) に対してエッチング選択性を有する絶縁膜を用いると共に、第3の絶縁膜208を、後に堆積する第5の絶縁膜215に対して行なわれる異方性エッチング (図8 (c) 及び図9 (a) を参照) により完全に除去されることのない程度の膜厚を有するように堆積する。

【0055】次に、図7 (c) に示すように、第3の絶縁膜208の上にフォトリソグラフィによりゲート電極形成領域に開口部を有する第2のレジストパターン209を形成した後、第2のレジストパターン209をマスクとして第3の絶縁膜208、第2の絶縁膜203、第1の絶縁膜201及びp型シリコン基板200に対してそれぞれエッチングを行なうことにより、凹状溝210をその底面がn型不純物層202中に位置するように形成する。

【0056】次に、第2のレジストパターン209を除去した後、図8 (a) に示すように、凹状溝210内に露出しているp型シリコン基板200の表面上に、例えば熱酸化法によりシリコン酸化膜からなる第4の絶縁膜211を形成する。

【0057】次に、図8 (b) に示すように、第3の絶縁膜208をマスクとしてp型シリコン基板200にp型不純物をイオン注入することにより、凹状溝210内のp型シリコン基板200の表面部に、n型不純物層202よりもn型不純物の濃度が低いn型低濃度不純物層212を、n型不純物層202と同等以上の深さまで形成する。尚、後の工程において形成される第2のp型不純物層217 (図9 (a) 参照) によってn型低濃度不純物層212が分断されると、n型不純物層202におけるn型低濃度不純物層212と接続する領域がソース領域213又はドレイン領域214となる。

【0058】次に、図8 (c) に示すように、凹状溝210を含む第3の絶縁膜208の上に全面に亘って、例  
50

(7)

11

えばCVD法によりシリコン窒化膜からなる第5の絶縁膜215を堆積する。第5の絶縁膜215としては、第4の絶縁膜211に対してエッチング選択性を有する絶縁膜を用いる。

【0059】次に、図9(a)に示すように、第5の絶縁膜215に対して異方性エッチングを用いたエッチバックを行なうことにより、第4の絶縁膜211の上を含む凹状溝210の壁面に第5の絶縁膜215からなるサイドウォール216を形成した後、第3の絶縁膜208及びサイドウォール216をマスクとしてp型シリコン基板200にp型不純物をイオン注入することにより、凹状溝210の底面におけるサイドウォール216に囲まれている部分の下方領域に、n型低濃度不純物層212を分断するように第2のp型不純物層217を形成する。これにより、第2のp型不純物層217によってn型低濃度不純物層212が分断される結果、ソース領域213と第2のp型不純物層217との間に第1のn型低濃度不純物領域218が形成されると共にドレイン領域214と第2のp型不純物層217との間に第2のn型低濃度不純物領域219が形成される。このとき、第2のp型不純物層217をn型低濃度不純物層212よりも深くなるように形成することにより、トランジスタのしきい値電圧を高くすることができる。

【0060】次に、第4の絶縁膜211における第2のp型不純物層217の上の部分に対して、例えばバッファー弗酸を含む水溶液によりウェットエッチングを行なって、図9(b)に示すように、第2のp型不純物層217を露出させる。

【0061】次に、図9(c)に示すように、第2のp型不純物層217の上に、例えば熱酸化法によりシリコン酸化膜からなるゲート絶縁膜220を形成する。

【0062】次に、図10(a)に示すように、凹状溝210を含む第3の絶縁膜208の上に全面に亘って、例えば不純物を含むポリシリコン膜からなる導電性膜221を堆積する。

【0063】次に、第3の絶縁膜208の上に堆積された導電膜221を例えばCMP法により除去することによって、図10(b)に示すように、ゲート電極222を、該ゲート電極222の上面と第3の絶縁膜208の上面とがほぼ面一で且つ平坦になるように形成する。

【0064】次に、図10(c)に示すように、ゲート電極222の上を含む第3の絶縁膜208の上に全面に亘って、例えばCVD法によりシリコン酸化膜からなる第6の絶縁膜223を堆積する。

【0065】次に、図11(a)に示すように、第6の絶縁膜223の上にフォトリソグラフィによりコンタクトホール形成領域に開口部を有する第3のレジストパターン224を形成した後、第3のレジストパターン224をマスクとして、第6の絶縁膜223、第3の絶縁膜208、第2の絶縁膜203及び第1の絶縁膜201に

12

対してエッチングを行なってゲート用コンタクトホール225、ソース用コンタクトホール226及びドレイン用コンタクトホール227をそれぞれ形成する。

【0066】次に、図11(b)に示すように、第3のレジストパターン224を除去した後、図11(c)に示すように、ゲート用コンタクトホール225、ソース用コンタクトホール226及びドレイン用コンタクトホール227の内部及び上部に、例えば窒化チタン膜/アルミ膜/タングステン膜/窒化チタン膜/チタン膜等の積層構造を有し、引き出し電極となる金属配線層228、229、230を形成する。

【0067】第2の実施形態によると、p型シリコン基板200上に形成された凹状溝210内に露出しているp型シリコン基板200の表面上にゲート絶縁膜220を形成した後、凹状溝210に導電性膜221を埋め込むことによりゲート電極222を形成するため、ゲート絶縁膜220をエッチングストッパーとして用いることなくゲート電極222を形成できるので、ゲート電極222を形成するときにゲート絶縁膜220が損傷を受ける事態を防止できる。このため、ゲート絶縁膜220の信頼性を損なうことなくゲート絶縁膜220を薄膜化できるので、半導体装置の高集積化を図ることができる。また、ゲート絶縁膜220を薄膜化した場合にも、アスペクト比の高いゲート電極222を形成できるため、ゲート電極222を低抵抗化できるので、半導体装置の動作の高速化を図ることができる。

【0068】また、第2の実施形態によると、凹状溝210の底面の下方領域に、n型低濃度不純物層212を含むn型不純物層202を分断するように第2のp型不純物層217を形成するため、第2のp型不純物層217によって分断されたn型不純物層202からなるソース領域213又はドレイン領域214が形成される。このため、第2のp型不純物層217上に形成されるゲート電極222に電圧を印加することによってチャネル形成を制御できるので、半導体装置の信頼性が向上する。

【0069】また、第2の実施形態によると、凹状溝210を含む第3の絶縁膜208の上に全面に亘って導電性膜221を堆積した後、第3の絶縁膜208の上に堆積された導電膜221を除去することによって、ゲート電極222を、該ゲート電極222の上面と第3の絶縁膜208の上面とがほぼ面一で且つ平坦になるように形成するため、ゲート電極222を形成するときに、後の工程において下地となる第3の絶縁膜208の上面を平坦化できる。このため、ゲート電極222の上を含む第3の絶縁膜208の上に上層配線又は素子等を、新たな平坦化工程を行なうことなく形成できるので、半導体装置の構造を容易に多層化できる。

【0070】また、第2の実施形態によると、凹状溝210をその底面がn型不純物層202中に位置するように形成するため、言い換えると、凹状溝210をその底



(8)

13

面がp型シリコン基板200の表面よりも下側に位置するように形成するため、ゲート電極222の下部をp型シリコン基板200の表面よりも下側に形成できるので、ゲート電極222と同じ膜厚を有するゲート電極の全体を半導体基板の表面よりも上側に形成する場合と比べて、ソース用コンタクトホール226又はドレイン用コンタクトホール227のアスペクト比を低くすることができる。このため、ソース用コンタクトホール226若しくはドレイン用コンタクトホール227の形成又は該コンタクトホールへの導電性材料の埋め込みを確実に

【0071】以下、従来の半導体装置の製造方法及び本発明の第2の実施形態に係る半導体装置の製造方法をそれぞれ用いて、同じ膜厚のゲート電極を形成した場合における、ソース用又はドレイン用のコンタクトホールのアスペクト比について、図12(a)及び(b)を参照しながら説明する。

【0072】図12(a)は、第1の比較例として、従来の半導体装置の製造方法により形成された半導体装置の断面構成を示し、図12(b)は、本発明の第2の実施形態に係る半導体装置の製造方法により形成された半導体装置の断面構成を示している。尚、図12(b)においては、図11(b)に示した第2の実施形態の一工程断面図と同一の部材には同一の符号を付すことにより、説明を省略する。

【0073】図12(a)において、30はシリコン基板、31はゲート絶縁膜、32はゲート電極、33はソース領域、34はドレイン領域、35は絶縁膜、36はソース用コンタクトホール、37はドレイン用コンタクトホールである。尚、ゲート電極32は、その全体がシリコン基板30の表面つまりソース領域33又はドレイン領域34の表面よりも上側に形成されている。

【0074】また、図12(a)において、 $t_{1A}$ はシリコン基板30の表面からゲート電極32の頂面までの厚さ、 $d_1$ はソース用コンタクトホール36又はドレイン用コンタクトホール37の深さ、 $S$ は絶縁膜35におけるゲート電極32の上側の領域の膜厚である。このとき、 $d_1 = t_{1A} + S$ となる。

【0075】図示はしていないが、ゲート絶縁膜31の膜厚を $t_{G0}$ 、ゲート電極32の膜厚を $t_{GE}$ とすると、 $t_{1A} = t_{G0} + t_{GE}$ となる。

【0076】一方、図12(b)において、 $t_{1B}$ は第2のp型不純物層217の表面からゲート電極222の頂面までの厚さ、 $t_2$ はp型シリコン基板200の表面つまりソース領域213又はドレイン領域214の表面からゲート電極222の頂面までの厚さ、 $d_2$ はソース用コンタクトホール226又はドレイン用コンタクトホール227の深さ、 $S$ は第6の絶縁膜223におけるゲート電極222の上側の領域の膜厚(図12(a)の $S$ と

14

同じ膜厚)である。尚、ソース用コンタクトホール226又はドレイン用コンタクトホール227の口径は図12(a)のソース用コンタクトホール36又はドレイン用コンタクトホール37の口径と同じであるとする。

【0077】図示はしていないが、ゲート絶縁膜220の膜厚を $t_{G0}$ (図12(a)の $t_{G0}$ と同じ膜厚)、ゲート電極222の膜厚を $t_{GE}$ (図12(a)の $t_{GE}$ と同じ膜厚)とすると、 $t_{1B} = t_{G0} + t_{GE} = t_{1A}$ となる。

【0078】従って、図12(b)に示すように、ソース用コンタクトホール226又はドレイン用コンタクトホール227の深さ $d_2$ は、 $d_2 = t_2 + S$ となる一方、 $t_2 < t_{1B} = t_{1A}$ であるため、 $d_2 < d_1$ となる。

【0079】以上に説明したように、従来の半導体装置の製造方法及び本発明の第2の実施形態に係る半導体装置の製造方法をそれぞれ用いて、同じ膜厚のゲート電極を形成した場合、本発明の第2の実施形態に係る半導体装置の製造方法を用いた方がソース用又はドレイン用のコンタクトホールのアスペクト比を低くすることができる。

【0080】また、第2の実施形態によると、ゲート電極222の下部をp型シリコン基板200の表面よりも下側に形成できるので、ソース用コンタクトホール226又はドレイン用コンタクトホール227と同じ深さ及び同じアスペクト比を有するソース用又はドレイン用のコンタクトホールを形成し、且つゲート電極全体を半導体基板の表面よりも上側に形成する場合と比べて、ゲート電極222の膜厚を厚くすることができる。このため、ゲート電極222を低抵抗化できるので、半導体装置の動作を高速化することができる。

【0081】以下、従来の半導体装置の製造方法及び本発明の第2の実施形態に係る半導体装置の製造方法をそれぞれ用いて、同じ深さ及び同じアスペクト比を有するソース用又はドレイン用のコンタクトホールを形成した場合における、ゲート電極の膜厚について、図13

(a)及び(b)を参照しながら説明する。

【0082】図13(a)は、第2の比較例として、従来の半導体装置の製造方法により形成された半導体装置の断面構成を示し、図13(b)は、本発明の第2の実施形態に係る半導体装置の製造方法により形成された半導体装置の断面構成を示している。尚、図13(b)においては、図11(b)に示した第2の実施形態の一工程断面図と同一の部材には同一の符号を付すことにより、説明を省略する。

【0083】図13(a)において、40はシリコン基板、41はゲート絶縁膜、42はゲート電極、43はソース領域、44はドレイン領域、45は絶縁膜、46はソース用コンタクトホール、47はドレイン用コンタクトホールである。尚、ゲート電極42は、その全体がシリコン基板40の表面つまりソース領域43又はドレイン領域44の表面よりも上側に形成されている。



(9)

15

【0084】また、図13 (a) において、 $T_{1A}$ はシリコン基板40の表面からゲート電極42の頂面までの厚さ、 $D_1$ はソース用コンタクトホール46又はドレイン用コンタクトホール47の深さ、 $S$ は絶縁膜45におけるゲート電極42の上側の領域の膜厚である。このとき、 $T_{1A}=D_1-S$ となる。

【0085】図示はしていないが、ゲート絶縁膜41の膜厚を $t_{G0}$ とすると、ゲート電極42の膜厚 $T_{GE1}$ は、 $T_{GE1}=T_{1A}-t_{G0}$ となる。

【0086】一方、図13 (b) において、 $T_{1B}$ はp型シリコン基板200の表面つまりソース領域213又はドレイン領域214の表面からゲート電極222の頂面までの厚さ、 $T_2$ は第2のp型不純物層217の表面からゲート電極222の頂面までの厚さ、 $D_1$ はソース用コンタクトホール226又はドレイン用コンタクトホール227の深さ(図13 (a) の $D_1$ と同じ深さ)、 $S$ は第6の絶縁膜223におけるゲート電極222の上側の領域の膜厚(図13 (a) の $S$ と同じ膜厚)である。尚、ソース用コンタクトホール226又はドレイン用コンタクトホール227の口径は図13 (a) のソース用コンタクトホール46又はドレイン用コンタクトホール47の口径と同じであるとする。

【0087】図示はしていないが、ゲート絶縁膜220の膜厚を $t_{G0}$ (図13 (a) の $t_{G0}$ と同じ膜厚)とすると、ゲート電極222の膜厚 $T_{GE2}$ は、 $T_{GE2}=T_2-t_{G0}$ となる。

【0088】従って、図13 (b) に示すように、 $T_{1B}=D_1-S$ となる一方、 $T_2>T_{1B}=T_{1A}=D_1-S$ であるため、 $T_{GE2}>T_{GE1}$ となる。

【0089】以上に説明したように、従来の半導体装置の製造方法及び本発明の第2の実施形態に係る半導体装置の製造方法をそれぞれ用いて、同じ深さ及び同じアスペクト比を有するソース用又はドレイン用のコンタクトホールを形成した場合、本発明の第2の実施形態に係る半導体装置の製造方法を用いた方がゲート電極の膜厚を厚くすることができる。

【0090】また、第2の実施形態によると、凹状溝210の壁面にサイドウォール216を形成するため、ソース領域213又はドレイン領域214とゲート電極222との間の絶縁性が向上するため、半導体装置の信頼性が向上する。

【0091】また、第2の実施形態によると、凹状溝210内のp型シリコン基板200の表面部にn型低濃度不純物層212を、n型不純物層202と同等以上の深さまで形成した後、凹状溝210の底面におけるサイドウォール216に囲まれている部分の下方領域に、n型低濃度不純物層212を分断するように第2のp型不純物層217を形成するため、第2のp型不純物層217によってn型低濃度不純物層212が分断される結果、ソース領域213と第2のp型不純物層217との間に

16

第1のn型低濃度不純物領域218が形成されると共にドレイン領域214と第2のp型不純物層217との間に第2のn型低濃度不純物領域219が形成される。このため、ソース領域213とドレイン領域214との間に電圧を印加した場合に発生する電界強度を小さくできるので、半導体装置の信頼性が向上する。

【0092】また、第2の実施形態によると、第3の絶縁膜208を、第5の絶縁膜215に対して行なわれる異方性エッチングにより完全に除去されることのない程度の膜厚を有するように堆積するため、第5の絶縁膜215に対して異方性エッチングを行なうときに、第3の絶縁膜208が完全に除去されて素子分離領域207が損傷を受ける事態を防止できるので、半導体装置の信頼性が向上する。

【0093】また、第2の実施形態によると、第3の絶縁膜208及び第5の絶縁膜215が第4の絶縁膜211に対してエッチング選択性を有するため、第4の絶縁膜211をエッチングにより除去するときに、第3の絶縁膜208、及び第5の絶縁膜215からなるサイドウォール216が除去されないので、凹状溝210が損傷を受ける事態を防止できる。このため、所定の寸法を有するゲート電極222を確実に形成できるので、半導体装置の信頼性が向上する。

【0094】尚、第2の実施形態においては、導電性膜221として、不純物を含むポリシリコン膜を用いたが、これに代えて、タングステン膜、モリブデン膜、チタン膜、白金膜、銅膜、タングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜若しくは白金シリサイド膜等の単層膜、又はタングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜若しくは白金シリサイド膜と不純物を含むポリシリコン膜との積層膜等を用いてもよい。

【0095】また、第2の実施形態においては、p型シリコン基板200を用いてnMOSトランジスタを形成したが、これに代えて、n型シリコン基板を用いてpMOSトランジスタを形成した場合にも同等の効果が得られる。

【0096】(第3の実施形態) 以下、本発明の第3の実施形態に係る半導体装置の製造方法について、図14 (a) ~ (c)、図15 (a) ~ (c)、図16 (a) ~ (c)、図17 (a) ~ (c)、図18 (a) ~ (c)、図19 (a)、(b) 及び図20 (a)、(b) を参照しながら説明する。

【0097】まず、図14 (a) に示すように、p型シリコン基板300の上に例えば熱酸化法によりシリコン酸化膜からなる第1の絶縁膜301を形成した後、第1の絶縁膜301を保護膜としてp型シリコン基板300にn型不純物をイオン注入することにより、p型シリコン基板300における第1の絶縁膜301の下側にn型不純物層302を形成する。

(10)

17

【0098】次に、図14 (b) に示すように、第1の絶縁膜301の上に例えばCVD法によりシリコン窒化膜からなる第2の絶縁膜303を堆積した後、第2の絶縁膜303の上にフォトリソグラフィにより素子分離形成領域に開口部を有する第1のレジストパターン304を形成する。

【0099】次に、図14 (c) に示すように、第1のレジストパターン304をマスクとして第2の絶縁膜303、第1の絶縁膜301及びp型シリコン基板300に対してそれぞれエッチングを行なうことにより、p型シリコン基板300に素子分離溝305を形成した後、第1のレジストパターン304をマスクとしてp型シリコン基板300にp型不純物をイオン注入することにより、素子分離溝305内のp型シリコン基板300の表面部に第1のp型不純物層306を形成する。

【0100】次に、第1のレジストパターン304を除去した後、素子分離溝305を含む第2の絶縁膜303の上に全面に亘って、例えばCVD法によりシリコン酸化膜を堆積し、その後、第2の絶縁膜303の上に堆積された前記のシリコン酸化膜を例えばCMP法により除去することによって、図15 (a) に示すように、素子分離領域307を、該素子分離領域307の上面と第2の絶縁膜303の上面とがほぼ面一で且つ平坦になるように形成する。

【0101】次に、図15 (b) に示すように、素子分離領域307の上を含む第2の絶縁膜303の上に全面に亘って、例えばCVD法によりシリコン窒化膜からなる第3の絶縁膜308を堆積する。このとき、第3の絶縁膜308としては、後に堆積する第4の絶縁膜311 (図16 (a) を参照) に対してエッチング選択性を有する絶縁膜を用いると共に、第3の絶縁膜308を、後に堆積する第5の絶縁膜317に対して行なわれる異方性エッチング (図16 (c) 及び図17 (a) を参照) により完全に除去されることのない程度の膜厚を有するように堆積する。

【0102】次に、図15 (c) に示すように、第3の絶縁膜308の上にフォトリソグラフィによりゲート電極形成領域に開口部を有する第2のレジストパターン309を形成した後、第2のレジストパターン309をマスクとして第3の絶縁膜308、第2の絶縁膜303、第1の絶縁膜301及びp型シリコン基板300に対してそれぞれエッチングを行なうことにより、凹状溝310をその底面がn型不純物層302よりも下側に位置するように形成する。これにより、凹状溝310によって分断されたn型不純物層302からなるソース領域又はドレイン領域 (図16 (b) のソース領域315及びドレイン領域316を参照) が形成される。

【0103】次に、第2のレジストパターン309を除去した後、図16 (a) に示すように、凹状溝310内に露出しているp型シリコン基板300の表面上に、例

18

えば熱酸化法によりシリコン酸化膜からなる第4の絶縁膜311を形成する。

【0104】次に、図16 (b) に示すように、第3の絶縁膜308をマスクとしてp型シリコン基板300にn型不純物をイオン注入することにより、凹状溝310内のp型シリコン基板300の表面部に、n型不純物層302よりもn型不純物の濃度が低いn型低濃度不純物層312を、n型不純物層302つまりソース領域315及びドレイン領域316と接続するように形成する。このとき、ソース領域315における凹状溝310の壁面の近傍に、n型不純物層302よりもn型不純物の濃度が若干高い第1のn型高濃度不純物領域313が形成されると共に、ドレイン領域316における凹状溝310の壁面の近傍に、n型不純物層302よりもn型不純物の濃度が若干高い第2のn型高濃度不純物領域314が形成される。

【0105】次に、図16 (c) に示すように、凹状溝310を含む第3の絶縁膜308の上に全面に亘って、例えばCVD法によりシリコン窒化膜からなる第5の絶縁膜317を堆積する。第5の絶縁膜317としては、第4の絶縁膜311に対してエッチング選択性を有する絶縁膜を用いる。

【0106】次に、図17 (a) に示すように、第5の絶縁膜317に対して異方性エッチングを用いたエッチバックを行なうことにより、第4の絶縁膜311の上を含む凹状溝310の壁面に第5の絶縁膜317からなるサイドウォール318を形成する。

【0107】次に、図17 (b) に示すように、第3の絶縁膜308及びサイドウォール318をマスクとしてp型シリコン基板300にp型不純物をイオン注入することにより、凹状溝310の底面におけるサイドウォール318に囲まれている部分の下方領域に、n型低濃度不純物層312を分断するように第2のp型不純物層319を形成する。これにより、第2のp型不純物層319によってn型低濃度不純物層312が分断される結果、ソース領域315と第2のp型不純物層319との間に第1のn型低濃度不純物領域320が形成されると共にドレイン領域316と第2のp型不純物層319との間に第2のn型低濃度不純物領域321が形成される。このとき、第2のp型不純物層319をn型低濃度不純物層312よりも深くなるように形成することにより、トランジスタのしきい値電圧を高くすることができる。

【0108】次に、第4の絶縁膜311における第2のp型不純物層319の上の部分に対して、例えばバッファー弗酸を含む水溶液によりウェットエッチングを行なうことにより、図17 (c) に示すように、第2のp型不純物層319を露出させる。

【0109】次に、図18 (a) に示すように、第2のp型不純物層319の上に、例えば熱酸化法によりシリ

(11)

19

コン酸化膜からなるゲート絶縁膜322を形成する。

【0110】次に、図18(b)に示すように、凹状溝310を含む第3の絶縁膜308の上に全面に亘って、例えば不純物を含むポリシリコン膜からなる導電性膜323を堆積する。

【0111】次に、第3の絶縁膜308の上に堆積された導電膜323を例えばCMP法により除去することによって、図18(c)に示すように、ゲート電極324を、該ゲート電極324の上面と第3の絶縁膜308の上面とがほぼ面一で且つ平坦になるように形成する。

【0112】次に、図19(a)に示すように、ゲート電極324の上を含む第3の絶縁膜308の上に全面に亘って、例えばCVD法によりシリコン酸化膜からなる第6の絶縁膜325を堆積する。

【0113】次に、図19(b)に示すように、第6の絶縁膜325の上にフォトリソグラフィによりコンタクトホール形成領域に開口部を有する第3のレジストパターン326を形成した後、第3のレジストパターン326をマスクとして、第6の絶縁膜325、第3の絶縁膜308、第2の絶縁膜303及び第1の絶縁膜301に対してエッチングを行なってゲート用コンタクトホール327、ソース用コンタクトホール328及びドレイン用コンタクトホール329をそれぞれ形成する。

【0114】次に、図20(a)に示すように、第3のレジストパターン326を除去した後、図20(b)に示すように、ゲート用コンタクトホール327、ソース用コンタクトホール328及びドレイン用コンタクトホール329の内部及び上部に、例えば窒化チタン膜/アルミ膜/タングステン膜/窒化チタン膜/チタン膜等の積層構造を有し、引き出し電極となる金属配線層330、331、332を形成する。

【0115】第3の実施形態によると、p型シリコン基板300上に形成された凹状溝310内に露出しているp型シリコン基板300の表面上にゲート絶縁膜322を形成した後、凹状溝310に導電性膜323を埋め込むことによりゲート電極324を形成するため、ゲート絶縁膜322をエッチングストッパーとして用いることなくゲート電極324を形成できるので、ゲート電極324を形成するときにゲート絶縁膜322が損傷を受ける事態を防止できる。このため、ゲート絶縁膜322の信頼性を損なうことなくゲート絶縁膜322を薄膜化できるので、半導体装置の高集積化を図ることができる。また、ゲート絶縁膜322を薄膜化した場合にも、アスペクト比の高いゲート電極324を形成できるため、ゲート電極324を低抵抗化できるので、半導体装置の動作の高速化を図ることができる。

【0116】また、第3の実施形態によると、凹状溝310をその底面がn型不純物層302よりも下側に位置するように形成するため、凹状溝310によって分断されたn型不純物層302からなるソース領域315又は

20

ドレイン領域316が形成される。このため、凹状溝310に形成されるゲート電極324に電圧を印加することによってチャネル形成を制御できるので、半導体装置の信頼性が向上する。

【0117】また、第3の実施形態によると、凹状溝310を含む第3の絶縁膜308の上に全面に亘って導電性膜323を堆積した後、第3の絶縁膜308の上に堆積された導電膜323を除去することによって、ゲート電極324を、該ゲート電極324の上面と第3の絶縁膜308の上面とがほぼ面一で且つ平坦になるように形成するため、ゲート電極324を形成するときに、後の工程において下地となる第3の絶縁膜308の上面を平坦化できる。このため、ゲート電極324の上を含む第3の絶縁膜308の上に上層配線又は素子等を、新たな平坦化工程を行なうことなく形成できるので、半導体装置の構造を容易に多層化できる。

【0118】また、第3の実施形態によると、凹状溝310をその底面がn型不純物層302よりも下側に位置するように形成するため、言い換えると、凹状溝310をその底面がp型シリコン基板300の表面よりも下側に位置するように形成するため、ゲート電極324の下部をp型シリコン基板300の表面よりも下側に形成できるので、ゲート電極324と同じ膜厚を有するゲート電極全体を半導体基板の表面よりも上側に形成する場合と比べて、ソース用コンタクトホール328又はドレイン用コンタクトホール329のアスペクト比を低くすることができる。このため、ソース用コンタクトホール328若しくはドレイン用コンタクトホール329の形成又は該コンタクトホールへの導電性材料の埋め込みを確実にすることができるので、半導体装置の信頼性が向上する。

【0119】以下、従来の半導体装置の製造方法及び本発明の第3の実施形態に係る半導体装置の製造方法をそれぞれ用いて、同じ膜厚のゲート電極を形成した場合における、ソース用又はドレイン用のコンタクトホールのアスペクト比について、図21(a)及び(b)を参照しながら説明する。

【0120】図21(a)は、第3の比較例として、従来の半導体装置の製造方法により形成された半導体装置の断面構成を示し、図21(b)は、本発明の第3の実施形態に係る半導体装置の製造方法により形成された半導体装置の断面構成を示している。尚、図21(b)においては、図20(a)に示した第3の実施形態の一工程断面図と同一の部材には同一の符号を付すことにより、説明を省略する。

【0121】図21(a)において、50はシリコン基板、51はゲート絶縁膜、52はゲート電極、53はソース領域、54はドレイン領域、55は絶縁膜、56はソース用コンタクトホール、57はドレイン用コンタクトホールである。尚、ゲート電極52は、その全体がシ

(12)

21

リコン基板50の表面つまりソース領域53又はドレイン領域54の表面よりも上側に形成されている。

【0122】また、図21(a)において、 $t_{3A}$ はシリコン基板50の表面からゲート電極52の頂面までの厚さ、 $d_3$ はソース用コンタクトホール56又はドレイン用コンタクトホール57の深さ、 $S$ は絶縁膜55におけるゲート電極52の上側の領域の膜厚である。このとき、 $d_3 = t_{3A} + S$ となる。

【0123】図示はしていないが、ゲート絶縁膜51の膜厚を $t_{G0}$ 、ゲート電極52の膜厚を $t_{GE}$ とすると、 $t_{3A} = t_{G0} + t_{GE}$ となる。

【0124】一方、図21(b)において、 $t_{3B}$ は第2のp型不純物層319の表面からゲート電極324の頂面までの厚さ、 $t_4$ はp型シリコン基板300の表面つまりソース領域315又はドレイン領域316の表面からゲート電極324の頂面までの厚さ、 $d_4$ はソース用コンタクトホール328又はドレイン用コンタクトホール329の深さ、 $S$ は第6の絶縁膜325におけるゲート電極324の上側の領域の膜厚(図21(a)の $S$ と同じ膜厚)である。尚、ソース用コンタクトホール328又はドレイン用コンタクトホール329の口径は図21(a)のソース用コンタクトホール56又はドレイン用コンタクトホール57の口径と同じであるとする。

【0125】図示はしていないが、ゲート絶縁膜322の膜厚を $t_{G0}$ (図21(a)の $t_{G0}$ と同じ膜厚)、ゲート電極324の膜厚を $t_{GE}$ (図21(a)の $t_{GE}$ と同じ膜厚)とすると、 $t_{3B} = t_{G0} + t_{GE} = t_{3A}$ となる。

【0126】従って、図21(b)に示すように、ソース用コンタクトホール328又はドレイン用コンタクトホール329の深さ $d_4$ は、 $d_4 = t_4 + S$ となる一方、 $t_4 < t_{3B} = t_{3A}$ であるため、 $d_4 < d_3$ となる。

【0127】以上に説明したように、従来の半導体装置の製造方法及び本発明の第3の実施形態に係る半導体装置の製造方法をそれぞれ用いて、同じ膜厚のゲート電極を形成した場合、本発明の第3の実施形態に係る半導体装置の製造方法を用いた方がソース用又はドレイン用のコンタクトホールのアスペクト比を低くすることができる。

【0128】また、第3の実施形態によると、ゲート電極324の下部をp型シリコン基板300の表面よりも下側に形成できるので、ソース用コンタクトホール328又はドレイン用コンタクトホール329と同じ深さ及び同じアスペクト比を有するソース用又はドレイン用のコンタクトホールを形成し、且つゲート電極全体を半導体基板の表面よりも上側に形成する場合と比べて、ゲート電極324の膜厚を厚くすることができる。このため、ゲート電極324を低抵抗化できるので、半導体装置の動作を高速化することができる。

【0129】以下、従来の半導体装置の製造方法及び本発明の第3の実施形態に係る半導体装置の製造方法をそ

22

れぞれ用いて、同じ深さ及び同じアスペクト比を有するソース用又はドレイン用のコンタクトホールを形成した場合における、ゲート電極の膜厚について、図22

(a)及び(b)を参照しながら説明する。

【0130】図22(a)は、第4の比較例として、従来の半導体装置の製造方法により形成された半導体装置の断面構成を示し、図22(b)は、本発明の第3の実施形態に係る半導体装置の製造方法により形成された半導体装置の断面構成を示している。尚、図22(b)においては、図20(a)に示した第3の実施形態の工程断面図と同一の部材には同一の符号を付すことにより、説明を省略する。

【0131】図22(a)において、60はシリコン基板、61はゲート絶縁膜、62はゲート電極、63はソース領域、64はドレイン領域、65は絶縁膜、66はソース用コンタクトホール、67はドレイン用コンタクトホールである。尚、ゲート電極62は、その全体がシリコン基板60の表面つまりソース領域63又はドレイン領域64の表面よりも上側に形成されている。

【0132】また、図22(a)において、 $T_{3A}$ はシリコン基板60の表面からゲート電極62の頂面までの厚さ、 $D_3$ はソース用コンタクトホール66又はドレイン用コンタクトホール67の深さ、 $S$ は絶縁膜65におけるゲート電極62の上側の領域の膜厚である。このとき、 $T_{3A} = D_3 - S$ となる。

【0133】図示はしていないが、ゲート絶縁膜61の膜厚を $t_{G0}$ とすると、ゲート電極62の膜厚 $T_{GE1}$ は、 $T_{GE1} = T_{3A} - t_{G0}$ となる。

【0134】一方、図22(b)において、 $T_{3B}$ はp型シリコン基板300の表面つまりソース領域315又はドレイン領域316の表面からゲート電極324の頂面までの厚さ、 $T_4$ は第2のp型不純物層319の表面からゲート電極324の頂面までの厚さ、 $D_3$ はソース用コンタクトホール328又はドレイン用コンタクトホール329の深さ(図22(a)の $D_3$ と同じ深さ)であり、 $S$ は第6の絶縁膜325におけるゲート電極324の上側の領域の膜厚(図22(a)の $S$ と同じ膜厚)である。尚、ソース用コンタクトホール328又はドレイン用コンタクトホール329の口径は図22(a)のソース用コンタクトホール66又はドレイン用コンタクトホール67の口径と同じであるとする。

【0135】図示はしていないが、ゲート絶縁膜322の膜厚を $t_{G0}$ (図22(a)の $t_{G0}$ と同じ膜厚)とすると、ゲート電極324の膜厚 $T_{GE2}$ は、 $T_{GE2} = T_4 - t_{G0}$ となる。

【0136】従って、図22(b)に示すように、 $T_{3B} = D_3 - S$ となる一方、 $T_4 > T_{3B} = T_{3A} = D_3 - S$ であるため、 $T_{GE2} > T_{GE1}$ となる。

【0137】以上に説明したように、従来の半導体装置の製造方法及び本発明の第3の実施形態に係る半導体装

(13)

23

置の製造方法をそれぞれ用いて、同じ深さ及び同じアスペクト比を有するソース用又はドレイン用のコンタクトホールを形成した場合、本発明の第3の実施形態に係る半導体装置の製造方法を用いた方がゲート電極の膜厚を厚くすることができる。

【0138】また、第3の実施形態によると、凹状溝310の壁面にサイドウォール318を形成するため、ソース領域315又はドレイン領域316とゲート電極324との間の絶縁性が向上するため、半導体装置の信頼性が向上する。

【0139】また、第3の実施形態によると、凹状溝310内のp型シリコン基板300の表面部にn型低濃度不純物層312を、n型不純物層302つまりソース領域315及びドレイン領域316と接続するように形成した後、n型低濃度不純物層312を分断するように第2のp型不純物層319を形成するため、第2のp型不純物層319によってn型低濃度不純物層312が分断される結果、ソース領域315と第2のp型不純物層319との間に第1のn型低濃度不純物領域320が形成されると共にドレイン領域316と第2のp型不純物層319との間に第2のn型低濃度不純物領域321が形成される。このため、ソース領域315とドレイン領域316との間に電圧を印加した場合に発生する電界強度を小さくできるので、半導体装置の信頼性が向上する。

【0140】また、第3の実施形態によると、第3の絶縁膜308を、第5の絶縁膜317に対して行なわれる異方性エッチングにより完全に除去されることのない程度の膜厚を有するように堆積するため、第5の絶縁膜317に対して異方性エッチングを行なうときに、第3の絶縁膜308が完全に除去されて素子分離領域307が損傷を受ける事態を防止できるので、半導体装置の信頼性が向上する。

【0141】また、第3の実施形態によると、第3の絶縁膜308及び第5の絶縁膜317が第4の絶縁膜311に対してエッチング選択性を有するため、第4の絶縁膜311をエッチングにより除去するときに、第3の絶縁膜308、及び第5の絶縁膜317からなるサイドウォール318が除去されないで、凹状溝310が損傷を受ける事態を防止できる。このため、所定の寸法を有するゲート電極324を確実に形成できるので、半導体装置の信頼性が向上する。

【0142】尚、第3の実施形態においては、導電性膜323として、不純物を含むポリシリコン膜を用いたが、これに代えて、タングステン膜、モリブデン膜、チタン膜、白金膜、銅膜、タングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜若しくは白金シリサイド膜等の単層膜、又はタングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜若しくは白金シリサイド膜と不純物を含むポリシリコン膜との積層膜等を用いてもよい。

24

【0143】また、第3の実施形態においては、p型シリコン基板300を用いてnMOSトランジスタを形成したが、これに代えて、n型シリコン基板を用いてpMOSトランジスタを形成した場合にも同等の効果が得られる。

【0144】

【発明の効果】本発明によると、ゲート電極を形成するときにゲート絶縁膜が損傷を受けることがないため、ゲート絶縁膜の信頼性を損なうことなくゲート絶縁膜を薄膜化できるので、半導体装置の高集積化を図ることができる。また、ゲート絶縁膜を薄膜化した場合にも、アスペクト比の高いゲート電極を形成できるため、ゲート電極を低抵抗化できるので、半導体装置の動作の高速化を図ることができる。

【図面の簡単な説明】

【図1】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図2】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図3】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図4】(a)～(c)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図5】(a)、(b)は第1の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図6】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図7】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図10】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図11】(a)～(c)は第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図12】(a)は第1の比較例として、従来の半導体装置の製造方法により得られた半導体装置の断面構成を示す図であり、(b)は第2の実施形態に係る半導体装置の製造方法により得られた半導体装置の断面構成を示す図である。

【図13】(a)は第2の比較例として、従来の半導体装置の製造方法により得られた半導体装置の断面構成を示す図であり、(b)は第2の実施形態に係る半導体装置の製造方法により得られた半導体装置の断面構成を示す図である。

【図14】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図15】(a)～(c)は第3の実施形態に係る半導

(14)

25

体装置の製造方法の各工程を示す断面図である。

【図16】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図17】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図18】(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図19】(a)、(b)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図20】(a)、(b)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図21】(a)は第3の比較例として、従来の半導体装置の製造方法により得られた半導体装置の断面構成を示す図であり、(b)は第3の実施形態に係る半導体装置の製造方法により得られた半導体装置の断面構成を示す図である。

【図22】(a)は第4の比較例として、従来の半導体装置の製造方法により得られた半導体装置の断面構成を示す図であり、(b)は第3の実施形態に係る半導体装置の製造方法により得られた半導体装置の断面構成を示す図である。

【図23】(a)、(b)は従来の半導体装置の製造方法の各工程を示す断面図である。

#### 【符号の説明】

100 p型シリコン基板  
 101 第1の絶縁膜  
 102 n型不純物層  
 103 第2の絶縁膜  
 104 第1のレジストパターン  
 105 素子分離溝  
 106 第1のp型不純物層  
 107 素子分離領域  
 108 第3の絶縁膜  
 109 第2のレジストパターン  
 110 凹状溝  
 111 第2のp型不純物層  
 112 ソース領域  
 113 ドレイン領域  
 114 ゲート絶縁膜  
 115 導電性膜  
 116 ゲート電極  
 117 第4の絶縁膜  
 118 第3のレジストパターン  
 119 ゲート用コンタクトホール  
 120 ソース用コンタクトホール  
 121 ドレイン用コンタクトホール  
 122 金属配線層  
 123 金属配線層  
 124 金属配線層  
 200 p型シリコン基板

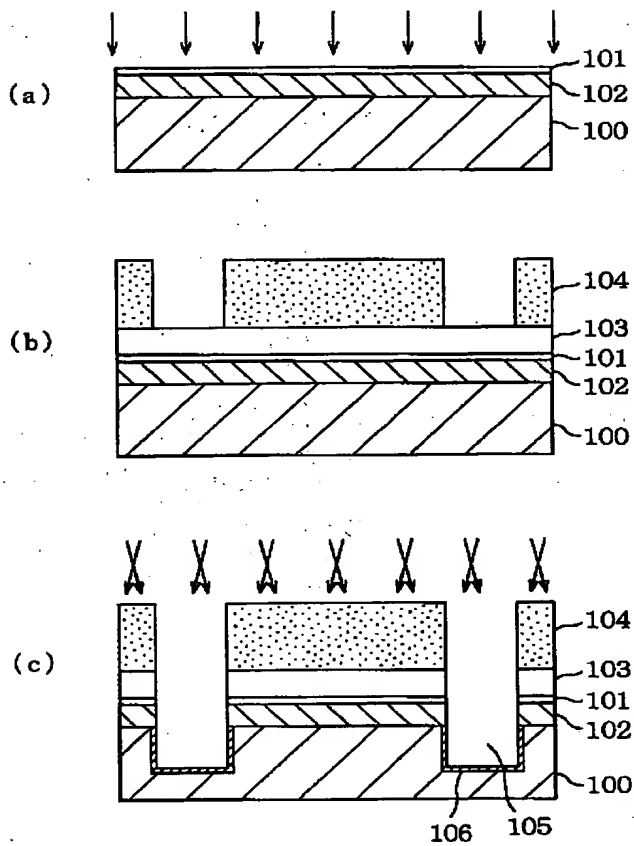
26

201 第1の絶縁膜  
 202 n型不純物層  
 203 第2の絶縁膜  
 204 第1のレジストパターン  
 205 素子分離溝  
 206 第1のp型不純物層  
 207 素子分離領域  
 208 第3の絶縁膜  
 209 第2のレジストパターン  
 210 凹状溝  
 211 第4の絶縁膜  
 212 n型低濃度不純物層  
 213 ソース領域  
 214 ドレイン領域  
 215 第5の絶縁膜  
 216 サイドウォール  
 217 第2のp型不純物層  
 218 第1のn型低濃度不純物領域  
 219 第2のn型低濃度不純物領域  
 220 ゲート絶縁膜  
 221 導電性膜  
 222 ゲート電極  
 223 第6の絶縁膜  
 224 第3のレジストパターン  
 225 ゲート用コンタクトホール  
 226 ソース用コンタクトホール  
 227 ドレイン用コンタクトホール  
 228 金属配線層  
 229 金属配線層  
 230 金属配線層  
 300 p型シリコン基板  
 301 第1の絶縁膜  
 302 n型不純物層  
 303 第2の絶縁膜  
 304 第1のレジストパターン  
 305 素子分離溝  
 306 第1のp型不純物層  
 307 素子分離領域  
 308 第3の絶縁膜  
 309 第2のレジストパターン  
 310 凹状溝  
 311 第4の絶縁膜  
 312 n型低濃度不純物層  
 313 第1のn型高濃度不純物領域  
 314 第2のn型高濃度不純物領域  
 315 ソース領域  
 316 ドレイン領域  
 317 第5の絶縁膜  
 318 サイドウォール  
 319 第2のp型不純物層

(15)

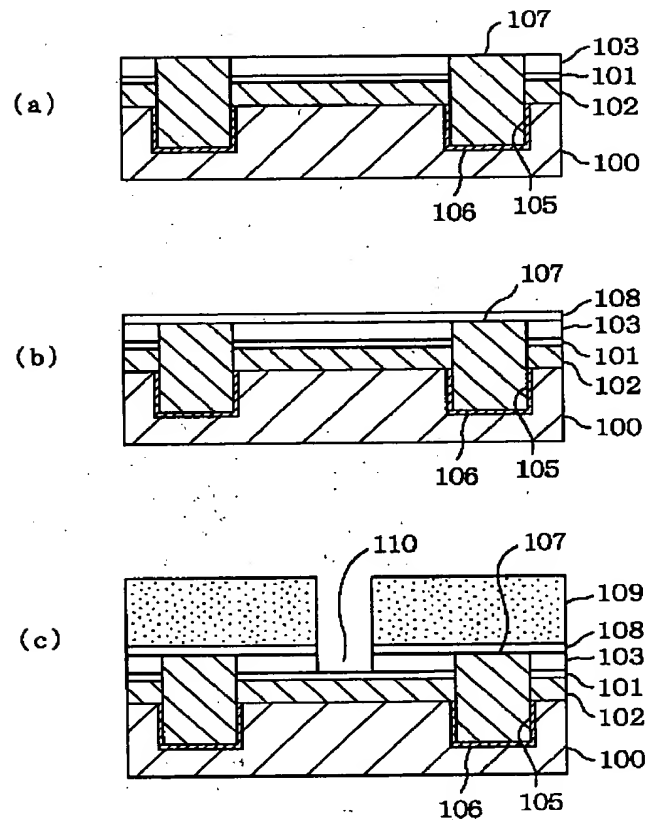
- 27
- 320 第1のn型低濃度不純物領域  
 321 第2のn型低濃度不純物領域  
 322 ゲート絶縁膜  
 323 導電性膜  
 324 ゲート電極  
 325 第6の絶縁膜  
 326 第3のレジストパターン

【図1】



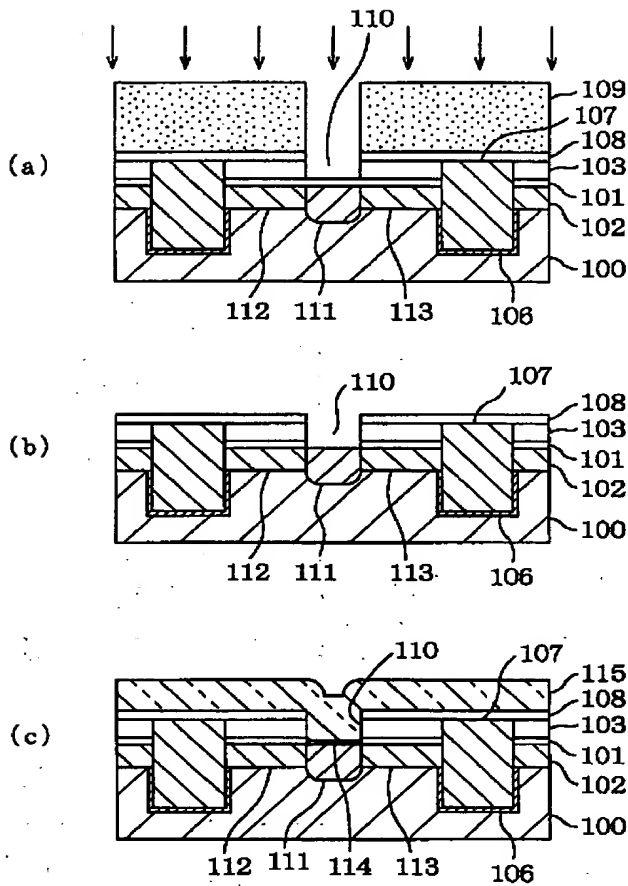
- 28
- 327 ゲート用コンタクトホール  
 328 ソース用コンタクトホール  
 329 ドレイン用コンタクトホール  
 330 金属配線層  
 331 金属配線層  
 332 金属配線層

【図2】

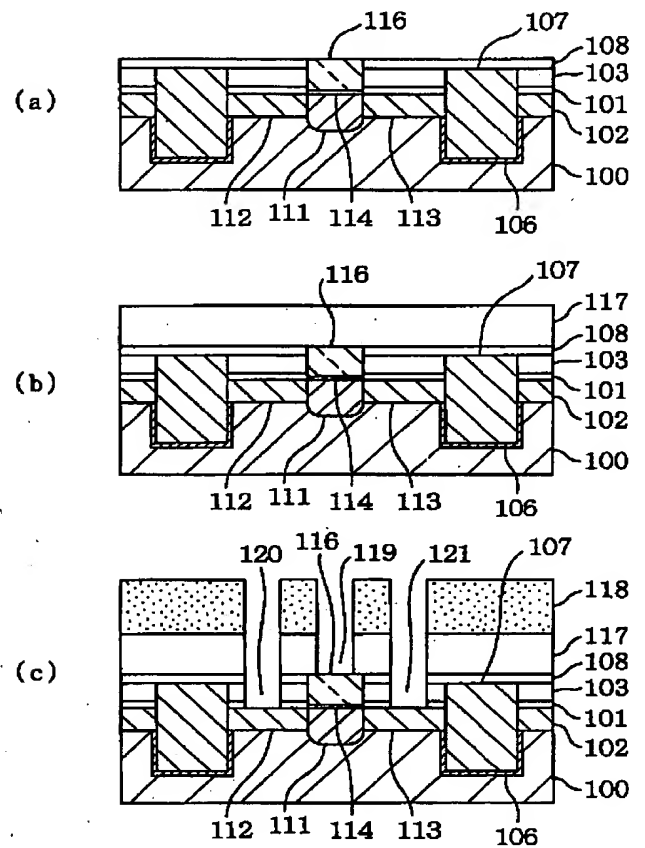


(16)

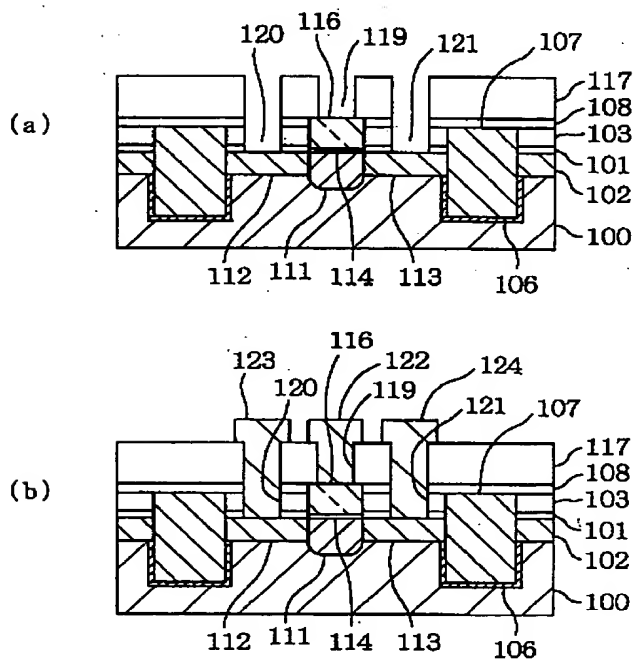
【図3】



【図4】



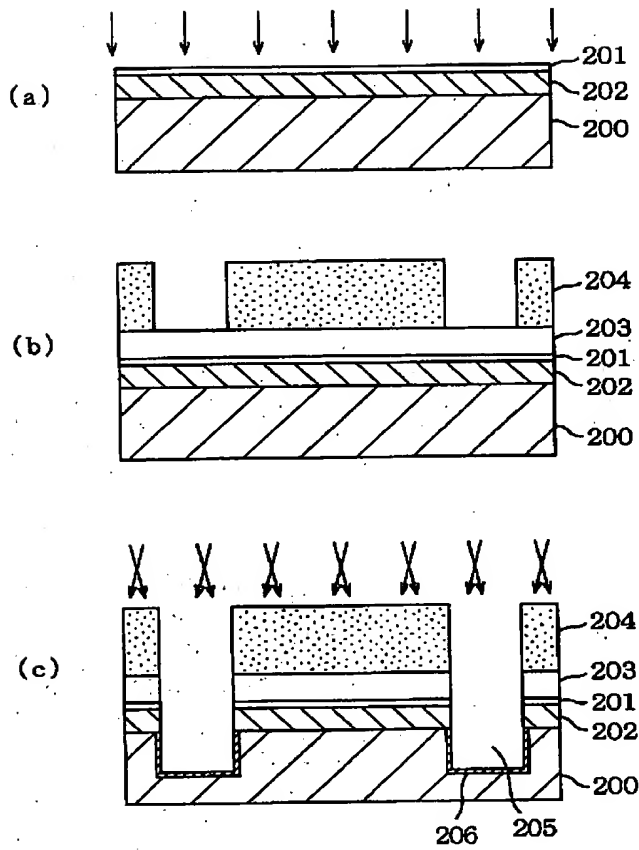
【図5】



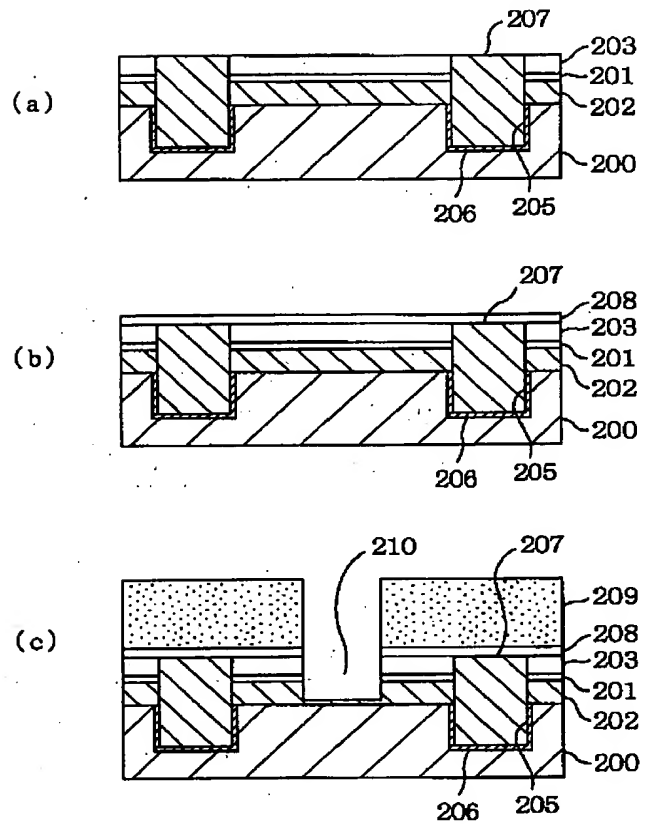


(17)

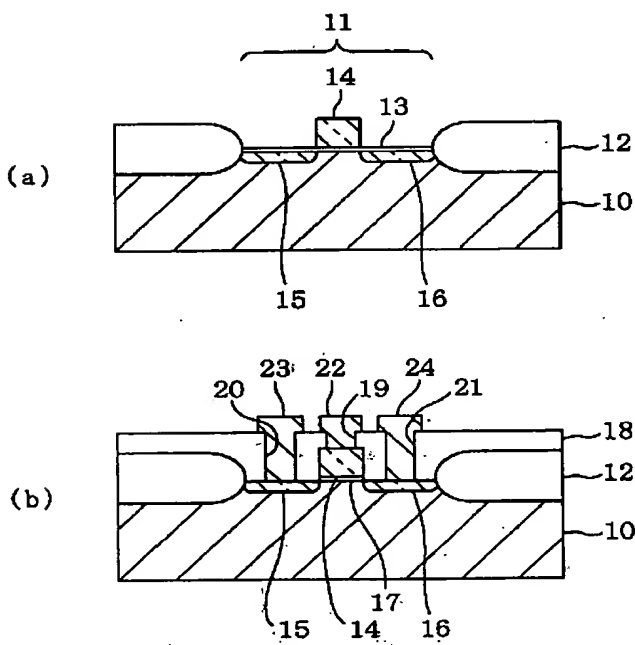
【図6】



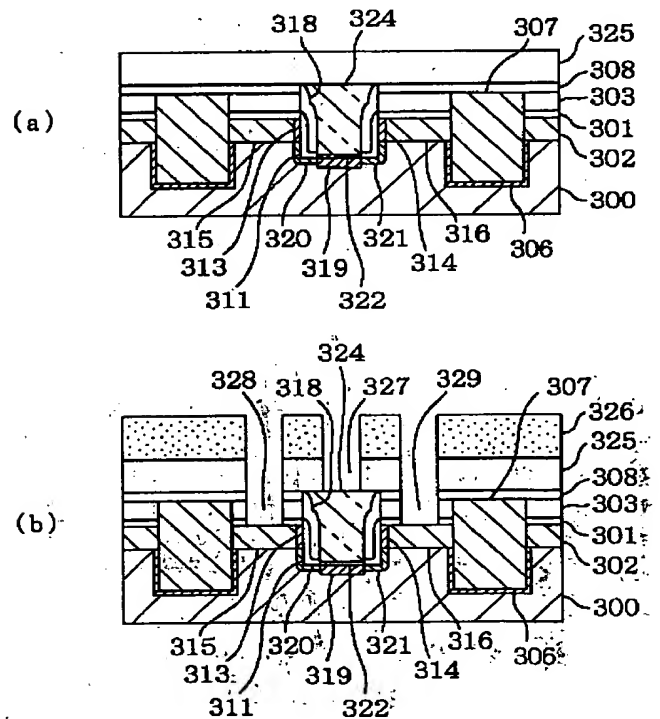
【図7】



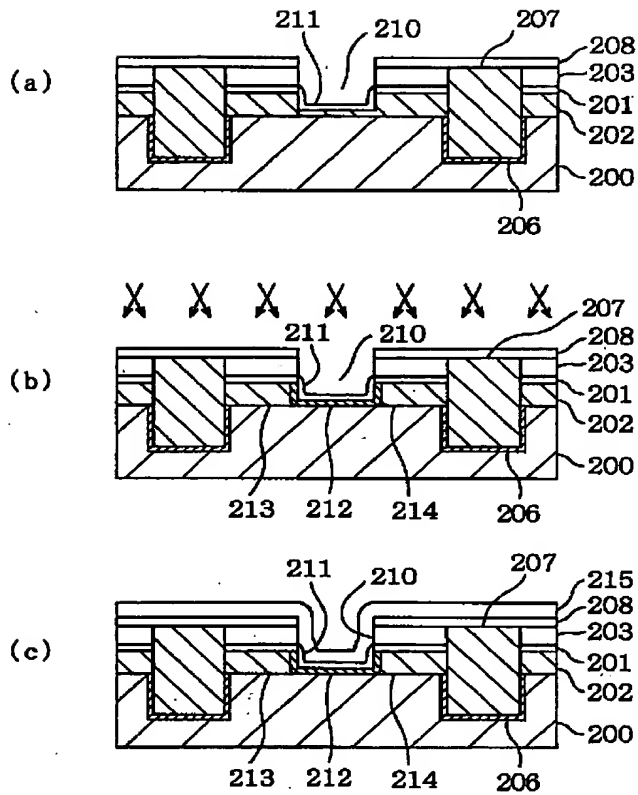
【図23】



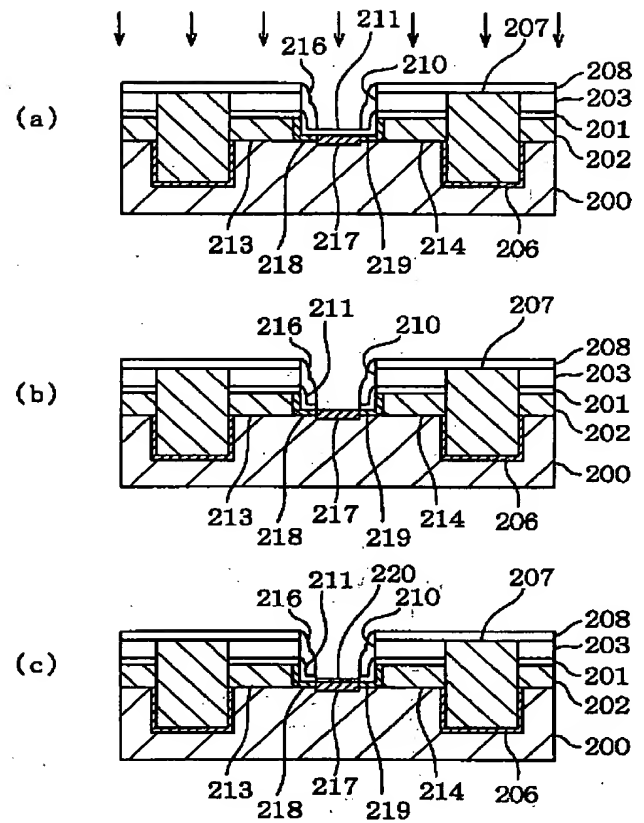
【図19】



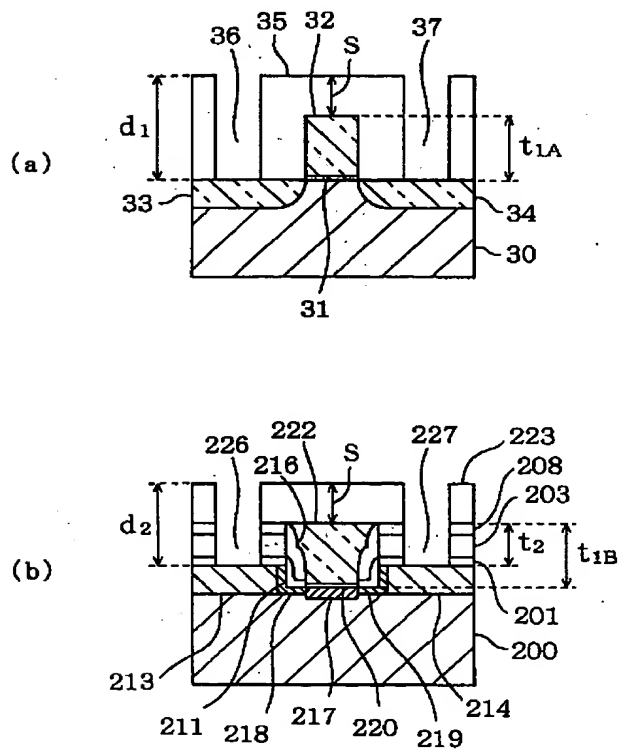
【图8】



【図9】

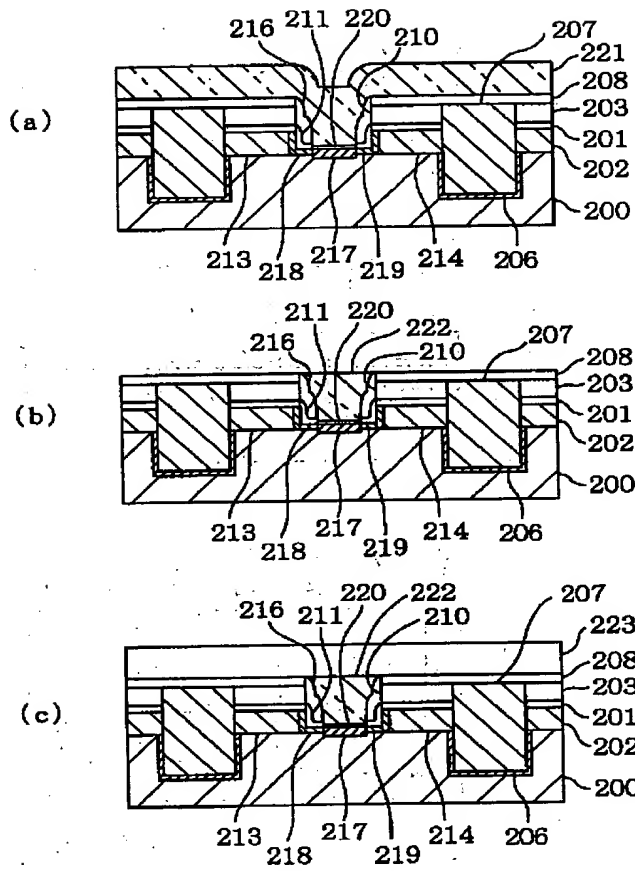


【図 12】



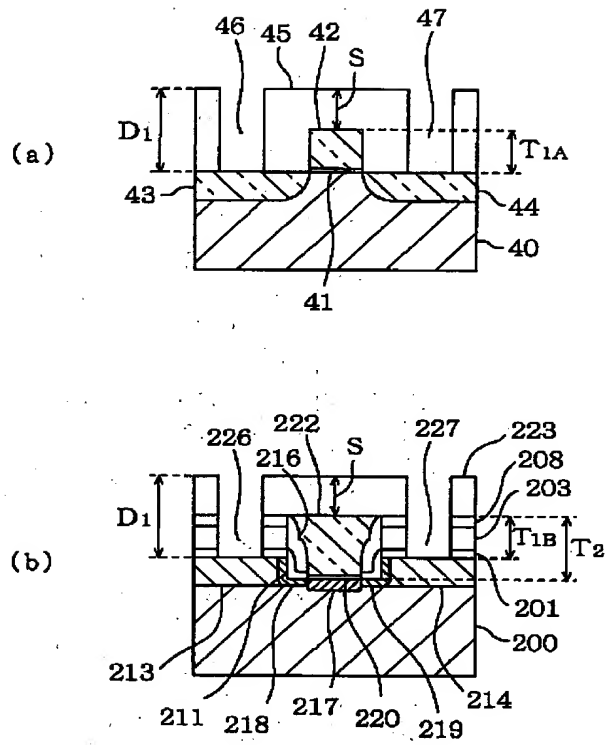
(19)

【図 10】

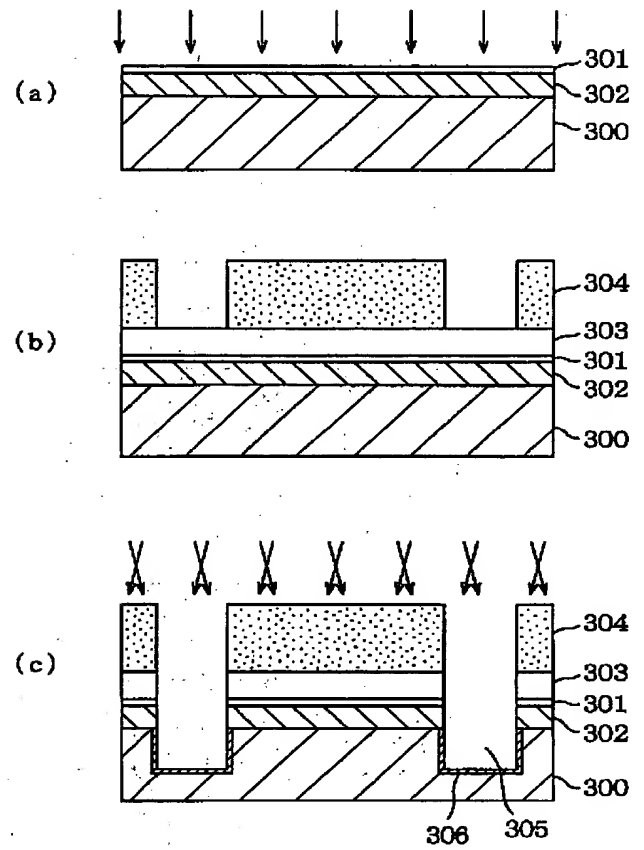


(20)

【図13】

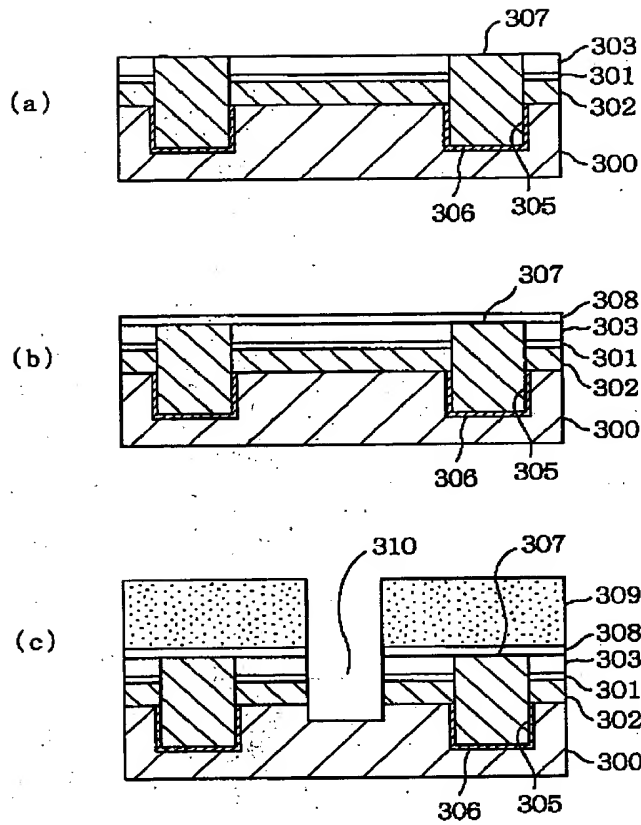


【図14】

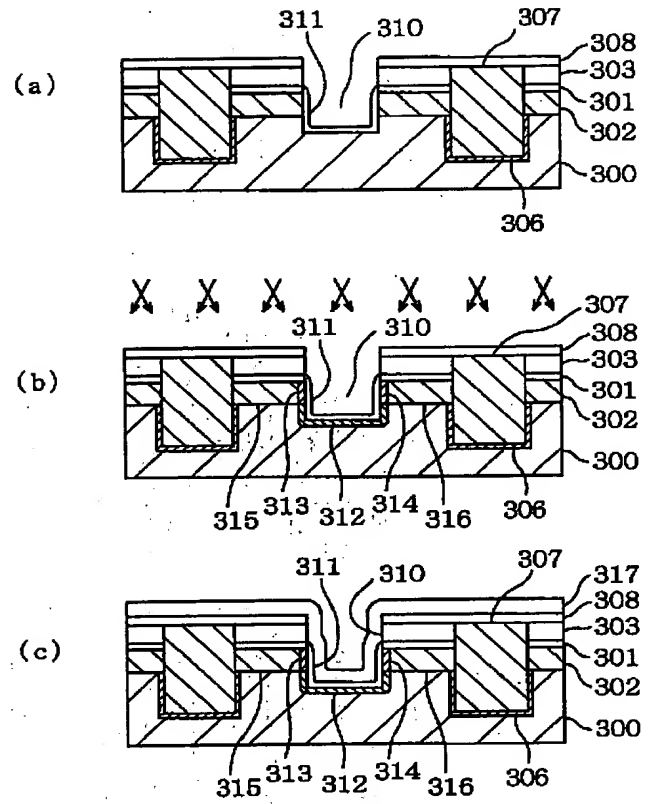


(21)

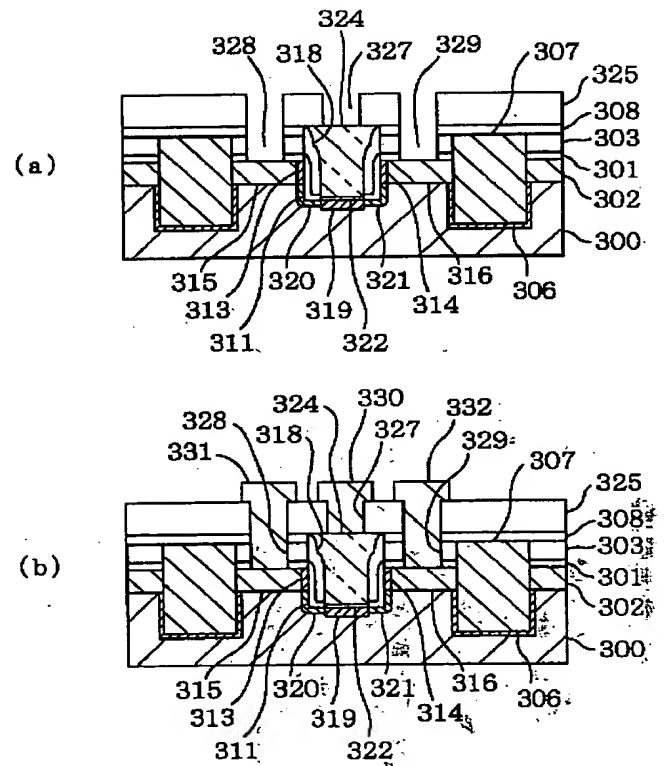
【図15】



【図16】

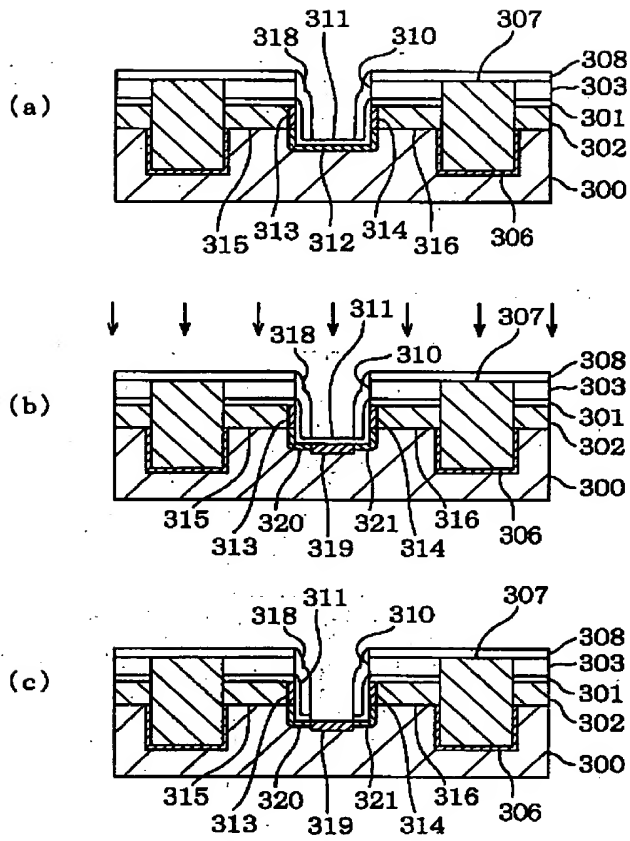


【図20】

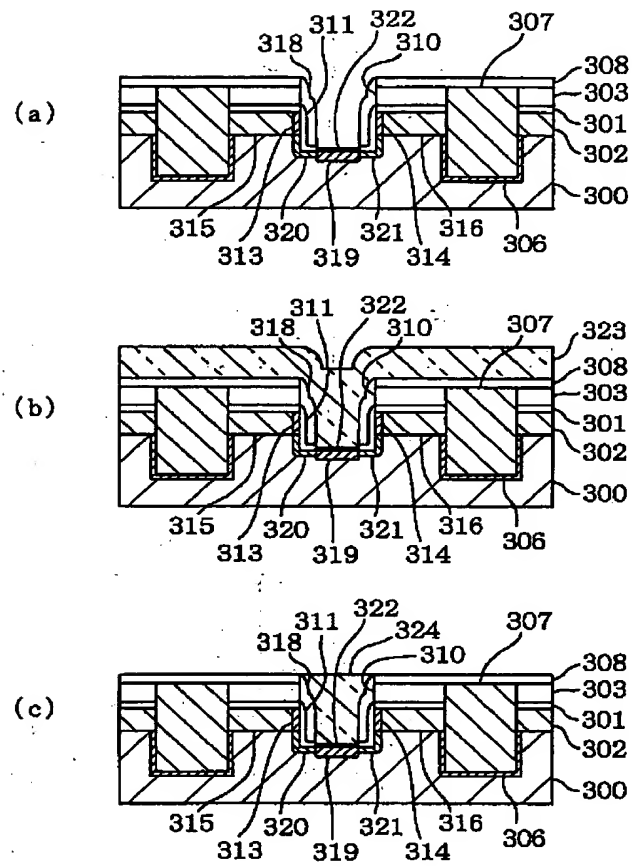


(22)

【図 17】

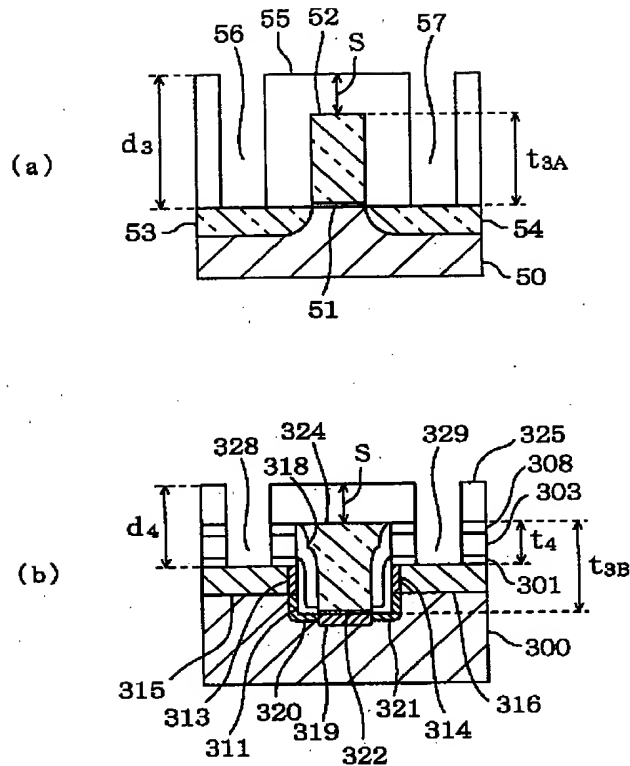


【図 18】

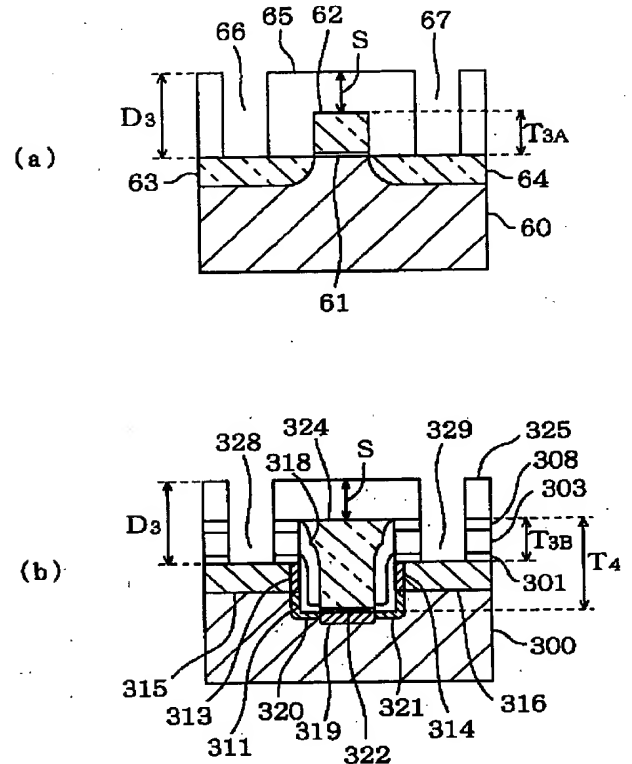


(23)

【図21】



【図22】



## 【手続補正書】

【提出日】平成11年10月6日（1999. 10. 6）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項6

【補正方法】変更

## 【補正内容】

【請求項6】 前記凹状溝を形成する工程と前記サイドウォールを形成する工程との間に、前記凹状溝内の前記半導体基板の表面部に、前記第1導電型の不純物層よりも不純物濃度が低い第1導電型の低濃度不純物層を形成する工程を備え、  
前記第2導電型の不純物層は、前記サイドウォールを形

成する工程と前記ゲート絶縁膜を形成する工程との間に、前記凹状溝の底面における前記サイドウォールに囲まれている部分の下方領域に、前記第1導電型の低濃度不純物層を分断するように形成されることを特徴とする請求項5に記載の半導体装置の製造方法。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

## 【補正内容】

【0088】従って、図13(b)に示すように、 $T_{1B} = D_1 - S$ となる一方、 $T_2 > T_{1B} = T_{1A} = D_1 - S$ であるため、 $T_{GE2} > T_{GE1}$ となる。

## 【手続補正書】

【提出日】平成12年3月27日（2000. 3. 27）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

## 【補正内容】

【特許請求の範囲】

【請求項1】 半導体基板の表面部に第1導電型の不純物層を形成する工程と、  
前記半導体基板の上に絶縁膜を堆積する工程と、  
ゲート電極形成領域の少なくとも前記絶縁膜を除去して

(24)

前記絶縁膜に凹状溝を形成する工程と、  
前記凹状溝内に露出している前記半導体基板の表面上に  
ゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜を形成した後、前記絶縁膜に形成され  
た前記凹状溝内に導電膜を埋め込むことによりゲート電  
極を形成する工程とを備えていることを特徴とする半導  
体装置の製造方法。

【請求項 2】 前記ゲート電極を形成する工程の後に、  
前記絶縁膜にコンタクトホールを形成した後、該コンタ  
クトホール内に前記第 1 導電型の不純物層の引き出し電  
極となる金属配線層を形成する工程を備えていることを  
特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記絶縁膜を堆積する工程と前記凹状溝  
を形成する工程との間に、前記半導体基板における素子  
分離形成領域に素子分離溝を有する素子分離領域を形成  
する工程を備えていることを特徴とする請求項 1 又は 2  
に記載の半導体装置の製造方法。

【請求項 4】 前記凹状溝を形成する工程と前記ゲート  
絶縁膜を形成する工程との間に、前記凹状溝の底面の下方  
領域に、前記第 1 導電型の不純物層を分断するように  
第 2 導電型の不純物層を形成する工程を備えていること  
を特徴とする請求項 1～3 のいずれか 1 項に記載の半導  
体装置の製造方法。

【請求項 5】 前記ゲート電極を形成する工程は、前記  
凹状溝を含む前記絶縁膜の上に導電膜を堆積する工程  
と、前記絶縁膜の上に堆積された前記導電膜を除去する  
ことによって、前記ゲート電極を、該ゲート電極の上面  
と前記絶縁膜の上面とがほぼ面一で且つ平坦になるよう  
に形成する工程とを含むことを特徴とする請求項 1～3  
のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記凹状溝を形成する工程は、前記凹状  
溝をその底面が前記第 1 導電型の不純物層中に位置する  
ように形成する工程を含み、  
前記凹状溝を形成する工程と前記ゲート絶縁膜を形成す  
る工程との間に、前記凹状溝の底面の下方領域に、前記  
第 1 導電型の不純物層を分断するように第 2 導電型の不  
純物層を形成する工程を備えていることを特徴とする請

求項 1～3 のいずれか 1 項に記載の半導体装置の製造方  
法。

【請求項 7】 前記凹状溝を形成する工程と前記ゲート  
絶縁膜を形成する工程との間に、前記凹状溝の壁面に絶  
縁性のサイドウォールを形成する工程を備えていること  
を特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 前記凹状溝を形成する工程と前記サイド  
ウォールを形成する工程との間に、前記凹状溝内の前記  
半導体基板の表面部に、前記第 1 導電型の不純物層より  
も不純物濃度が低い第 1 導電型の低濃度不純物層を形成  
する工程を備え、

前記第 2 導電型の不純物層は、前記サイドウォールを形  
成する工程と前記ゲート絶縁膜を形成する工程との間  
に、前記凹状溝の底面における前記サイドウォールに囲  
まれている部分の下方領域に、前記第 1 導電型の低濃度  
不純物層を分断するように形成されることを特徴とする  
請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記凹状溝を形成する工程は、前記凹状  
溝をその底面が前記第 1 導電型の不純物層よりも下側に  
位置するように形成する工程を含むことを特徴とする請  
求項 1～3 のいずれか 1 項に記載の半導体装置の製造方  
法。

【請求項 10】 前記凹状溝を形成する工程と前記ゲー  
ト絶縁膜を形成する工程との間に、前記凹状溝の壁面に  
絶縁性のサイドウォールを形成する工程を備えているこ  
とを特徴とする請求項 9 に記載の半導体装置の製造方  
法。

【請求項 11】 前記凹状溝を形成する工程と前記ゲー  
ト絶縁膜を形成する工程との間に、前記凹状溝内の前記  
半導体基板の表面部に、前記第 1 導電型の不純物層より  
も不純物濃度が低い第 1 導電型の低濃度不純物層を、前  
記第 1 導電型の不純物層と接続するように形成する工程  
と、前記第 1 導電型の低濃度不純物層を分断するように  
第 2 導電型の不純物層を形成する工程とを備えているこ  
とを特徴とする請求項 9 に記載の半導体装置の製造方  
法。



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**